

Docket No.: 67161-058

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hideto HIDAKA

Serial No.:

Filed: July 24, 2003

For: THIN FILM MAGNETIC MEMORY DEVICE SUPPRESSING INFLUENCE OF MAGNETIC
FIELD NOISE FROM POWER SUPPLY WIRING

:
:
:
:
: Group Art Unit:
:
: Examiner:
:

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-050523, filed February 27, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 24, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-058
Hidetoshi Hidaka
July 24, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月27日

出 願 番 号

Application Number:

特願2003-050523

[ST.10/C]:

[JP2003-050523]

出 願 人

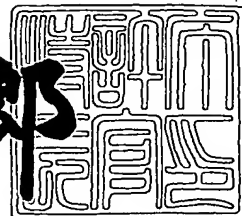
Applicant(s):

三菱電機株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3019440

【書類名】 特許願

【整理番号】 542919JP01

【提出日】 平成15年 2月27日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 日高 秀人

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜磁性体記憶装置

【特許請求の範囲】

【請求項 1】 列方向に沿って配置され、各々が、行列状に配置された複数のメモリセルを有する複数のメモリ領域を備え、

各前記メモリ領域は、

メモリセル列にそれぞれ対応して設けられる複数のビット線と、

前記複数のビット線の第 1 の方向側に配置され、前記複数のビット線のうちの少なくとも 1 本に対してデータ書込電流を供給するために電源供給を受ける第 1 のドライバ帯と、

前記複数のビット線の前記第 1 の方向側と反対の第 2 の方向側に配置され、前記複数のビット線のうちの少なくとも 1 本に対して前記データ書込電流を供給するために電源供給を受ける第 2 のドライバ帯とを含み、

列方向に沿って配置され、各前記第 1 のドライバ帯に対して前記第 1 の方向側から電源を供給する第 1 の電源供給線と、

列方向に沿って配置され、各前記第 2 のドライバ帯に対して前記第 2 の方向側から電源を供給する第 2 の電源供給線とをさらに備え、

前記第 1 および第 2 の電源供給線は各々、

第 1 および第 2 の電圧をそれぞれ供給する第 1 および第 2 の電源線を含み、

データ書込時において、前記複数のメモリ領域のうち外部からのアドレス指示により選択された選択メモリ領域に対応する第 1 のドライバ帯は、書込データに応じて前記第 1 の電源供給線のうちの第 1 および第 2 の電源線の一方と接続され、前記選択メモリ領域に対応する第 2 のドライバ帯は、前記書込データに応じて前記第 2 の電源供給線のうちの前記第 1 および第 2 の電源線の他方と接続される、薄膜磁性体記憶装置。

【請求項 2】 前記第 1 の電源供給線は、前記複数のメモリ領域上に延在して配置され、

前記第 1 および第 2 の電源供給線において、前記複数のメモリ領域のうち選択された前記選択メモリ領域に対応する領域部分には、電流経路が形成されない、

請求項 1 記載の薄膜磁性体記憶装置。

【請求項 3】 前記複数のビット線のうちの少なくとも 1 本のビット線および前記第 1 および第 2 の電源供給線に対して流れる前記データ書込電流の方向は同一方向である、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 4】 前記第 1 の電圧が供給される第 1 および第 2 の電源端子と、前記第 2 の電圧が供給される第 3 および第 4 の電源端子とを備え、

前記第 1 および第 3 の電源端子は、前記第 1 の電源供給線の前記第 1 の方向側に配置され、前記第 1 の電源供給線における第 1 および第 2 の電源線とそれぞれ接続され、

前記第 2 および第 4 の電源端子は、前記第 2 の電源供給線の前記第 2 の方向側に配置され、前記第 2 の電源供給線における第 1 および第 2 の電源線とそれぞれ接続される、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 5】 前記ビット線を流れる前記データ書込電流は、前記第 1 の方向および第 2 の方向の少なくとも一方に流れる、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 6】 各前記メモリ領域は、行方向に沿って複数のブロック領域に分割され、

各前記第 1 のドライバ帯は、行方向に沿って前記複数のブロック領域にそれぞれ対応する複数の第 1 のドライバユニットに分割され、

各前記第 2 のドライバ帯は、行方向に沿って前記複数のブロック領域にそれぞれ対応する複数の第 2 のドライバユニットに分割され、

前記複数のメモリ領域において、同一列を構成するブロック領域毎に前記第 1 および第 2 の電源供給線をさらに備え、

前記書込データは、前記複数のブロック領域にそれぞれ対応する複数ビットのデータを有し、

前記選択メモリ領域に属する各前記ブロック領域において、対応する第 1 のドライバユニットは、対応する各前記ビットのデータに応じて前記第 1 および第 2 の電源供給線のうちの第 1 および第 2 の電源線的一方と接続され、対応する第 2 のドライバユニットは、前記対応する各前記ビットのデータに応じて前記第 2 の

電源供給線のうちの前記第 1 および第 2 の電源線の他方と接続される、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 7】 前記第 1 の電源供給線は、各前記ブロック領域に対応する第 1 のドライバユニット毎に設けられ、前記第 1 の電源供給線と互いに交差する方向に配置される第 1 のサブ電源供給線を含み、

前記第 2 の電源供給線は、各前記ブロック領域に対応する第 2 のドライバユニット毎に設けられ、前記第 2 の電源供給線と互いに交差する方向に配置される第 2 のサブ電源供給線を含み、

各前記第 1 のドライバユニットは、対応する各前記第 1 のサブ電源供給線を介して前記第 1 および第 2 の電源線の一方と接続され、

各前記第 2 のドライバユニットは、対応する各前記第 2 のサブ電源供給線を介して前記第 1 および第 2 の電源線の他方と接続される、請求項 1 記載の薄膜磁性体記憶装置。

【請求項 8】 列方向に沿って配置され、各々が、行列状に配置された複数のメモリセルを有する複数のメモリ領域を備え、

各前記メモリ領域は、

メモリセル列にそれぞれ対応して設けられる複数のビット線と、

前記複数のビット線の第 1 の方向側に配置され、前記複数のビット線のうちの少なくとも 1 本に対してデータ書込電流を供給するために電源供給を受ける第 1 のドライバ帯と、

前記複数のビット線の前記第 1 の方向側と反対の第 2 の方向側に配置され、前記複数のビット線の少なくとも 1 本に対して前記データ書込電流を供給するために電源供給を受ける第 2 のドライバ帯とを含み、

列方向に沿って、各前記第 1 のドライバ帯に対応して配置され、前記第 1 の方向側から第 1 の電圧を供給する第 1 の電源線と、

列方向に沿って、各前記第 2 のドライバ帯に対応して配置され、前記第 2 の方向側から前記第 1 の電圧を供給する第 2 の電源線とをさらに備え、

データ書込時において、書込データに応じて前記複数のメモリ領域のうちの選択された選択メモリ領域に対応する第 1 および第 2 のドライバ帯の一方は対応す

る第 1 および第 2 の電源線の一方と接続され、前記対応する第 1 および第 2 のドライバ帯の他方は、第 2 の電圧と電氣的に接続される、薄膜磁性体記憶装置。

【請求項 9】 行方向に沿って配置され、各々が、行列状に配置された複数のメモリセルを有する複数のメモリ領域を備え、

各前記メモリ領域は、

メモリセル行にそれぞれ対応して設けられる複数のデジット線と、

前記複数のデジット線の第 1 の方向側に配置され、データ書込時に前記複数のデジット線のうちの選択された選択デジット線の少なくとも 1 本に対してデータ書込電流を供給するために第 1 の電圧を受けるデジット線ドライバ帯と、

各前記デジット線の前記第 1 の方向側と反対の第 2 の方向側は、第 2 の電圧と電氣的に結合され、

行方向に沿って、各前記デジット線ドライバ帯と電氣的に結合され、前記第 1 の方向側から前記第 1 の電圧を供給する第 1 の電源線をさらに備える、薄膜磁性体記憶装置。

【請求項 10】 前記第 2 の方向側から前記第 2 の電圧を供給する第 2 の電源線をさらに備え、

各前記メモリ領域において、前記第 2 の方向側の前記複数のデジット線は、前記第 2 の電源線と電氣的に結合される、請求項 9 記載の薄膜磁性体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜磁性体記憶装置に関し、より特定的には、磁気トンネル接合（MTJ：Magnetic Tunnel Junction）を有するメモリセルを備えたランダムアクセスメモリに関する。

【0002】

【従来の技術】

近年、新世代の不揮発性記憶装置として、MRAM（Magnetic Random Access Memory）デバイスが注目されている。MRAM デバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性

体の各々に対してランダムアクセスが可能な不揮発性記憶装置である。特に、近年では磁気トンネル接合 (MTJ) を利用した薄膜磁性体をメモリセルとして用いることによって、MRAMデバイスの性能が飛躍的に進歩することが発表されている (たとえば、非特許文献1 参照)。

【0003】

一般的に、これら不揮発性記憶装置の記憶素子として用いられるメモリセルのデータ記憶を実行する場合には、所定電圧を印加して電流をメモリセルに供給することによりデータ書込を実行する構成が一般的である。このMRAMデバイスにおいては、メモリセルに対して所定のデータ書込電流を供給して、データ書込電流に基づく所望の磁界を薄膜磁性体に印加することにより、薄膜磁性体の磁化方向を変化させることによりデータ書込を実行する。

【0004】

【非特許文献1】

ロイ・ショイアーライン (Roy Scheuerline) 他6名、“各セルにFETスイッチおよび磁気トンネル接合を用いた、10ns 読出・書込の不揮発メモリアレイ (A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell)”, (米国), 2000年米国電気電子学会国際固体回路会議・技術論文集TA7.2 (2000 IEEE ISSCC Digest of Technical Papers, TA7.2), p. 128-129。

【0005】

【発明が解決しようとする課題】

しかしながら、MRAMデバイスには、データ書込電流を供給する配線のみならず種々の目的に用いられる配線が積層されており、この種々の配線に電流が流れる際に磁界が生じることとなる。この場合に、選択対象となる選択メモリセル以外の他の非選択メモリセルに対して、磁気ノイズが印加される場合がある。

【0006】

このような磁界ノイズは、その磁界レベルによって非選択メモリセルの薄膜磁性体の磁化方向を変化させてしまう可能性がある。すなわち、他の非選択メモリセルに対して誤ってデータ書込を実行する恐れがある。

【 0 0 0 7 】

このような磁気ノイズの代表例としては、MRAMデバイスの記憶部に対してデータ読出およびデータ書込を実行するための周辺回路に対して動作電圧を供給するための電源配線および接地配線を流れる電流によって生じる磁界が挙げられる。電源配線および接地配線を流れる電流は、周辺回路の動作時にピーク的に生じる傾向にあるので、これらの配線からの磁気ノイズがある程度の強度を有している。

【 0 0 0 8 】

特に、高集積化の目的で、これらの電源配線等を、記憶部に近接して、すなわちトンネル磁気抵抗素子TMRの近傍に配置する場合にはもしくは記憶部上に配置した場合には電源配線からの磁気ノイズによる動作マージンの低下およびデータ誤書込に対する対策を講じる必要がある。

【 0 0 0 9 】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、電源配線および接地配線からの磁気ノイズの影響を抑制することにより安定的に動作する薄膜磁性体記憶装置を提供することである。

【 0 0 1 0 】

【課題を解決するための手段】

本発明に係る薄膜磁性体記憶装置は、列方向に沿って配置され、各々が、行列状に配置された複数のメモリセルを有する複数のメモリ領域と、第1および第2の電源供給線とを含む。各メモリ領域は、複数のビット線と、第1および第2のドライバ帯とを含む。複数のビット線は、メモリセル列にそれぞれ対応して設けられる。第1のドライバ帯は、複数のビット線の第1の方向側に配置され、複数のビット線のうちの少なくとも1本に対してデータ書込電流を供給するために電源供給を受ける。第2のドライバ帯は、複数のビット線の第1の方向側と反対の第2の方向側に配置され、複数のビット線のうちの少なくとも1本に対してデータ書込電流を供給するために電源供給を受ける。第1の電源供給線は、列方向に沿って配置され、各第1のドライバ帯に対して第1の方向側から電源を供給する。第2の電源供給線は、列方向に沿って配置され、各第2のドライバ帯に対して

第 2 の方向側から電源を供給する。第 1 および第 2 の電源供給線は各々、第 1 および第 2 の電圧をそれぞれ供給する第 1 および第 2 の電源線を含む。データ書込時において、複数のメモリ領域のうち外部からのアドレス指示により選択された選択メモリ領域に対応する第 1 のドライバ帯は、書込データに応じて第 1 の電源供給線のうちの第 1 および第 2 の電源線の一方と接続される。選択メモリ領域に対応する第 2 のドライバ帯は、書込データに応じて第 2 の電源供給線のうちの第 1 および第 2 の電源線他方と接続される。

【 0 0 1 1 】

また、薄膜磁性体記憶装置は、列方向に沿って配置され、各々が、行列状に配置された複数のメモリセルを有する複数のメモリ領域と、第 1 および第 2 の電源線とを含む。各メモリ領域は、複数のビット線と、第 1 および第 2 のドライバ帯とを含む。複数のビット線は、メモリセル列にそれぞれ対応して設けられる。第 1 のドライバ帯は、複数のビット線の第 1 の方向側に配置され、複数のビット線のうちの少なくとも 1 本に対してデータ書込電流を供給するために電源供給を受ける。第 2 のドライバ帯は、複数のビット線の第 1 の方向側と反対の第 2 の方向側に配置され、複数のビット線の少なくとも 1 本に対してデータ書込電流を供給するために電源供給を受ける。第 1 の電源線は、列方向に沿って、各第 1 のドライバ帯に対応して配置され、第 1 の方向側から第 1 の電圧を供給する。第 2 の電源線は、列方向に沿って、各第 2 のドライバ帯に対応して配置され、第 2 の方向側から第 1 の電圧を供給する。データ書込時において、書込データに応じて複数のメモリ領域のうちの選択された選択メモリ領域に対応する第 1 および第 2 のドライバ帯の一方は対応する第 1 および第 2 の電源線の一方と接続される。対応する第 1 および第 2 のドライバ帯他方は、第 2 の電圧と電氣的に接続される。

【 0 0 1 2 】

また、薄膜磁性体記憶装置は、行方向に沿って配置され、各々が、行列状に配置された複数のメモリセルを有する複数のメモリ領域と、第 1 の電源線とを含む。各メモリ領域は、複数のデジット線と、デジット線ドライバ帯とを含む。複数のデジット線は、メモリセル行にそれぞれ対応して設けられる。デジット線ドライバ帯は、複数のデジット線の第 1 の方向側に配置され、データ書込時に複数の

デジット線のうちの選択された選択デジット線の少なくとも1本に対してデータ書込電流を供給するために第1の電圧を受ける。各デジット線の第1の方向側と反対の第2の方向側は、第2の電圧と電氣的に結合される。第1の電源線は、行方向に沿って、各デジット線ドライバ帯と電氣的に結合され、第1の方向側から第1の電圧を供給する。

【0013】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付しその説明は繰返さない。

【0014】

(実施の形態1)

図1は、本発明の実施の形態に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【0015】

図1を参照して、本発明の実施の形態に従うMRAMデバイス1は、外部からの制御信号CMDおよびアドレス信号ADDに応答してランダムアクセスを実行し、入力データDINの入力および出力データDOUTの出力を実行する。

【0016】

MRAMデバイス1は、制御信号CMDに応答して、MRAMデバイス1の全体動作を制御するコントロール回路10と、各々が行列状に配置されたMTJメモリセルMCを含む複数のメモリブロック5a、5bとを備える。図1においては、メモリブロック5aおよび5bの2つのみ示されているがこれに限られずさらに複数のメモリブロックが配置される構成としてもよい。なお、メモリブロック5a、5bを総称してメモリブロック5とも称する。また、メモリブロック5の各行に行列状に集積配置された複数のメモリセルMCの行および列を、メモリセル行およびメモリセル列ともそれぞれ称する。

【0017】

また、MRAMデバイス1は、行デコーダ20、21と、列デコーダ25と、データ入出力制御回路30とを備える。

【0018】

行デコーダ20, 21は、アドレス信号ADDのうちのロウアドレスRAに基づいて、アクセス対象となるメモリブロック5における行選択を実行する。また、列デコーダ25は、アドレス信号ADDのうちのコラムアドレスCAに基づいて、アクセス対象となるメモリブロック5の列選択を実行する。データ入出力制御回路30は、入力データDINおよび出力データDOUのデータの入出力を制御し、コントロール回路10からの指示に応答して内部回路にデータを伝達もしくは外部に出力する。

【0019】

また、MRAMデバイス1は、各メモリブロック5毎に両側に配置される読出／書込制御回路をさらに備える。読出／書込制御回路は、データ読出およびデータ書込時において、選択されたメモリセル列（以下、「選択列」とも称する）に対して、データ書込電流およびデータ読出電流を流すために、メモリブロック5に隣接する領域に配置される回路群を総称したものである。本例においては、メモリブロック5aに対応して設けられた読出／書込制御回路40, 41が示される。また、メモリブロック5bに対応して設けられた読出／書込制御回路42, 43が示される。

【0020】

また、各メモリブロック5は、メモリセル行にそれぞれ対応して設けられる複数のワード線WLおよびデジット線DLと、メモリセル列にそれぞれ対応して設けられ複数のビット線BLとをさらに備える。なお、図1には、代表的にメモリブロック5a内において1つのメモリセルMCが示され、メモリセルMCのメモリセル行に対応してワード線WLおよびデジット線DLがそれぞれ1本ずつ示されている。また、メモリセルMCのメモリセル列に対応してビット線BLが代表的に1本示されている。その他のメモリブロック5についても同様の構成であるのでその説明は繰返さない。

【0021】

さらに、MRAMデバイス1は、行デコーダ20の行選択結果およびコントロール回路10からの指示に基づいてワード線WLおよびデジット線DLを駆動す

るワード線／デジット線ドライバ帯16を含む。

【0022】

また、メモリブロック5を挟んだ行デコーダ20と反対側のスイッチ領域15において、複数のデジット線DLにそれぞれ対応して、複数のトランジスタ50が配置される。本例においては、メモリブロック5aの1本のデジット線DLに対応して1つのトランジスタ50が示されている。トランジスタ50は、対応するデジット線DLと接地電圧GNDとの間に配置され、そのゲートは行デコーダ21からの行選択結果の入力を受ける。

【0023】

行デコーダ21は、データ書込時において入力されるロウアドレスRAに基づいて、複数のトランジスタ50のうちの少なくとも1つを選択的にオンする。これに伴い、選択対象となるデジット線DLは、トランジスタ50のオンに応答して接地電圧GNDと電氣的に結合される。

【0024】

なお、本構成においては、スイッチ領域15を設けて、行デコーダ21により複数のトランジスタ50のうちの一つを選択する構成について説明するがこれに限られず、スイッチ領域15および行デコーダ21を設けない構成とすることも可能である。具体的には、常にデジット線DLの一端が接地電圧GNDと電氣的に結合される構成とすることも可能である。

【0025】

なお、以下においては信号、信号線およびデータ等の2値的な高電圧状態および低電圧状態をそれぞれ「H」レベルおよび「L」レベルとも称する。

【0026】

図2は、メモリブロック5およびその周辺回路の回路構成を示す概略ブロック図である。

【0027】

図2を参照して、メモリブロック5aは、 n 行 \times m 列(n, m :自然数)に配置された複数のMTJメモリセルMCを有する。各MTJメモリセルMCに対してワード線WL、デジット線DL、ビット線BLが配置される。ワード線WLお

よびデジット線DLは、メモリセル行にそれぞれ対応して行方向に沿って配置される。一方ビット線BLは、メモリセル列にそれぞれ対応して列方向に沿って配置される。この結果、メモリブロック5a全体においては、ワード線WL1～WLn、デジット線DL1～DLn、ビット線BL1～BLmが設けられる。

【0028】

また、メモリセルMCは、トンネル磁気抵抗素子TMRと、トンネル磁気抵抗素子TMRと直列に接続されるアクセストランジスタATRとを含む。アクセストランジスタATRは、対応するワード線WLの活性化に応答してトンネル磁気抵抗素子TMRと接地電圧GNDとを電氣的に結合する。なお、以下においては、ワード線、デジット線、ビット線を総括的に表現する場合には、符号WL、DL、BLをそれぞれ用いて表記することとする。

【0029】

上述したようにワード線／デジット線ドライバ帯16は、行デコーダ20に入力されるロウアドレスRAに基づく行選択結果に基づいて、ワード線WL（データ読出時）もしくはデジット線DL（データ書込時）を選択的に活性化する。

【0030】

読出／書込制御回路41は、ビット線BLの一端側に設けられ、電源供給を受けて所定の磁界を発生させる目的でデータ書込電流を供給するための複数のビット線ドライバBDVaを有するドライバ帯61を含む。また、読出／書込制御回路40は、ビット線BLの他端側に対応して設けられ、電源供給を受けて所定の磁界を発生させる目的でデータ書込電流を供給するための複数のビット線ドライバBDVbを有するドライバ帯60を含む。

【0031】

ここで、トンネル磁気抵抗素子TMRを利用したデータ書込について説明する。

【0032】

図3は、トンネル磁気抵抗素子TMRに対するデータ書込動作を説明する概念図である。

【0033】

図 3 を参照して、トンネル磁気抵抗素子 TMR は、固定された一定の磁化方向を有する強磁性体層（以下、単に「固定磁化層」とも称する）F L と、外部からの印加磁界に応じた方向に磁化される強磁性体層（以下、単に「自由磁化層」とも称する）V L とを有する。固定磁化層 F L および自由磁化層 V L の間には、絶縁体膜で形成されるトンネルバリア（トンネル膜）T B が設けられる。自由磁化層 V L は、書込まれる記憶データのレベルに応じて、固定磁化層 F L と同一方向または固定磁化層 F L と反対方向に磁化される。これらの固定磁化層 F L、トンネルバリア T B および自由磁化層 V L によって、磁気トンネル接合が形成される。

【 0 0 3 4 】

トンネル磁気抵抗素子 TMR の電気抵抗は、固定磁化層 F L および自由磁化層 V L のそれぞれの磁化方向の相対関係に応じて変化する。具体的には、トンネル磁気抵抗素子 TMR の電気抵抗は、固定磁化層 F L の磁化方向と自由磁化層 V L の磁化方向とが同じ（平行）である場合に最小値 R_{min} となり、両者の磁化方向が反対（反平行）方向である場合に最大値 R_{max} となる。

【 0 0 3 5 】

データ書込時においては、自由磁化層 V L を磁化するためのデータ書込電流は、ビット線 B L およびデジット線 D L のそれぞれにおいて、書込データのレベルに応じた方向に流される。ビット線 B L に対しては、書込データのレベルに応じてデータ書込電流 $\pm I_w$ が流れる。これにより、磁界 $H(BL)$ が生成される。また、デジット線 D L を流れるデータ書込電流により磁界 $H(DL)$ が生成される。

【 0 0 3 6 】

図 4 は、データ書込時におけるデータ書込電流とトンネル磁気抵抗素子の磁化方向との関連を示す概念図である。

【 0 0 3 7 】

図 4 を参照して、横軸 $H(EA)$ は、トンネル磁気抵抗素子 TMR 内の自由磁化層 V L において磁化容易軸（EA : Easy Axis）方向に印加される磁界を示す。一方、縦軸 $H(HA)$ は、自由磁化層 V L において磁化困難軸（HA : Hard A

xis) 方向に作用する磁界を示す。磁界 $H(EA)$ および $H(HA)$ は、ビット線 BL およびデジット線 DL をそれぞれ流れる電流によって生じる 2 つの磁界 $H(BL)$ および $H(DL)$ の一方ずつにそれぞれ対応する。

【0038】

トンネル磁気抵抗素子 MC においては、固定磁化層 FL の固定された磁化方向は、自由磁化層 VL の磁化容易軸に沿っており、自由磁化層 VL は、記憶データのレベル (“1” および “0”) に応じて、磁化容易軸方向に沿って、固定磁化層 FL と平行あるいは反平行 (反対) 方向に磁化される。トンネル磁気抵抗素子 MC は、自由磁化層 VL の 2 通りの磁化方向と対応させて、1 ビットのデータ (“1” および “0”) を記憶することができる。

【0039】

自由磁化層 VL の磁化方向は、印加される磁界 $H(EA)$ および $H(HA)$ の和が、図 4 に示されるアステロイド特性線の外側の領域に達する場合においてのみ新たに書換えることができる。すなわち、印加されたデータ書込磁界がアステロイド特性線の内側の領域に相当する強度である場合には、自由磁化層 VL の磁化方向は変化しない。

【0040】

アステロイド特性線に示されるように、自由磁化層 VL に対して磁化困難軸方向の磁界を印加することによって、磁化容易軸に沿った磁化方向を変化させるのに必要な磁化しきい値を下げるができる。図 4 に示した例のようにデータ書込時の動作点を設計した場合には、データ書込対象であるトンネル磁気抵抗素子 MC において、磁化容易軸方向のデータ書込磁界は、その強度が H_{WR} となるように設計される。すなわち、このデータ書込磁界 H_{WR} が得られるように、ビット線 BL またはデジット線 DL を流されるデータ書込電流の値が設計される。一般的に、データ書込磁界 H_{WR} は、磁化方向の切換えに必要なスイッチング磁界 H_{SW} と、マージン分 ΔH との和で示される。すなわち、 $H_{WR} = H_{SW} + \Delta H$ で示される。

【0041】

トンネル磁気抵抗素子 MC の記憶データ、すなわちトンネル磁気抵抗素子 TMR の磁化方向を書換えるためには、デジット線 DL とビット線 BL との両方に所

定レベル以上のデータ書込電流を流す必要がある。これにより、トンネル磁気抵抗素子TMR中の自由磁化層VLは、磁化容易軸(EA)に沿ったデータ書込磁界の向きに応じて、固定磁化層FLと平行もしくは、反対(反平行)方向に磁化される。トンネル磁気抵抗素子TMRに一旦書込まれた磁化方向、すなわちトンネル磁気抵抗素子MCの記憶データは、新たなデータ書込が実行されるまでの間不揮発的に保持される。

【0042】

なお、以下の説明で明らかになるように、本願発明は、データ書込時において、データ書込電流を供給するために電源を供給するための電源配線および接地配線の配置に向けられたものである。なお、本明細書においては、電源電圧VCCおよび接地電圧GNDを総括して電源とも称することとする。また、電源電圧VCCを供給する電源配線および接地電圧GNDを供給する接地配線を総括して電源供給線とも称することとする。

【0043】

図5は、データ書込電流を供給するためにビット線ドライバBDVaおよびBDVbに対して電源を供給する電源供給線の配置を説明する概念図である。

【0044】

ここでは、メモリブロック5aおよびメモリブロック5aの両側に対応して設けられた読出／書込制御回路40、41を含めてメモリ領域55aとして説明する。また、メモリブロック5bについても同様の構成であり、読出／書込制御回路42、43を含めてメモリ領域55bとして説明する。

【0045】

図5を参照して、メモリ領域55aの一方側に対応して、電源電圧VCCおよび接地電圧GNDの供給をそれぞれ受けるサブ電源配線PLsaおよびサブ接地配線GLsaが行方向に沿って配置される。また、メモリ領域55aの他方側に対応して、電源電圧VCCおよび接地電圧GNDの供給をそれぞれ受けるサブ電源配線PLsbおよびGLsbが行方向に沿って配置される。なお以下においては、サブ電源配線PLsa、PLsbを総称してサブ電源配線PLsとも称する。また、サブ接地配線GLsa、GLsbを総称してサブ接地配線GLsとも称

する。メモリ領域 5 5 b についてもメモリ領域 5 5 a で説明したのと同様の構成でサブ電源配線およびサブ接地配線がそれぞれ配置される。

【 0 0 4 6 】

また、サブ電源配線 P L s およびサブ接地配線 G L s に対して、それぞれ電源電圧 V C C および接地電圧 G N D を供給するためにメイン電源配線およびメイン接地配線が列方向に沿って配置される。

【 0 0 4 7 】

本発明の実施の形態 1 に従う配置に関しては、メモリ領域 5 5 a および 5 5 b の一方側（第 1 の方向）から電源を供給するために設けられたメイン電源配線 P L m a およびメイン接地配線 G L m b と、メモリ領域 5 5 a および 5 5 b の他方側（第 1 の方向と反対方向の第 2 の方向）から電源を供給するために設けられたメイン電源配線 P L m b およびメイン接地配線 G L m a とが列方向に沿って設けられる。メイン電源配線 P L m a およびメイン接地配線 G L m b は、1 組の電源供給線を構成する。また、メイン電源配線 P L m b およびメイン接地配線 G L m a も 1 組の電源供給線を構成する。また、本例においては、メイン電源配線 P L m a は、外部端子 P D a から電源電圧 V C C の供給を受ける。また、メイン電源配線 P L m b は、外部端子 P D d から電源電圧 V C C の供給を受ける。メイン接地配線 G L m a は、外部端子 P D c から接地電圧 G N D の供給を受ける。メイン接地配線 G L m b は、外部端子 P D b から接地電圧 G N D の供給を受ける。

【 0 0 4 8 】

電源供給線を構成するメイン電源配線 P L m a およびメイン接地配線 G L m b は、メモリ領域 5 0 a および 5 0 b の一方側に配置されたサブ電源配線 P L s a およびサブ接地配線 G L s a と、それぞれコンタクトホール C T を介して電氣的に接続される。また、電源供給線を構成するメイン電源配線 P L m b およびメイン接地配線 G L m a は、メモリ領域 5 0 a および 5 0 b の他方側に配置されたサブ電源配線 P L s b およびサブ接地配線 G L s b と、それぞれコンタクトホール C T を介して電氣的に接続される。

【 0 0 4 9 】

図 6 は、図 5 に示されたビット線ドライバ B D V a および B D V b の構成を示

す回路図である。

【0050】

図6を参照して、ビット線ドライバBDV_aは、ビット線BLの一方側に相当するノードN_aおよびサブ電源配線PL_{s a}の間に電氣的に結合されるPチャネルMOSトランジスタ71と、ノードN_aおよびサブ接地配線GL_{s a}の間に電氣的に結合されるNチャネルMOSトランジスタ72と、対応する列選択線CSLおよび書込データWDTのNAND論理演算結果を出力する論理ゲート74と、書込データWDTおよび対応する列選択線の反転レベル／CSLのNOR論理演算結果を出力する論理ゲート76とを有する。論理ゲート74の出力はトランジスタ71のゲートに入力され、論理ゲート76の出力はトランジスタ72のゲートへ入力される。

【0051】

列選択線CSLは、対応するメモリセル列が列デコーダ25により選択された場合に「H」レベルに活性化され、それ以外の場合に「L」レベルに非活性化される。また、書込データWDTおよび／WDTは、データ入出力制御回路30の入力データDINに基づいて生成されるものとする。例えば、入力データDINが「0」の場合には、書込データWDTおよび／WDTは、「L」レベルおよび「H」レベルに設定されるものとする。一方、入力データDINが「1」の場合には、書込データWDTおよび／WDTは、「H」レベルおよび「L」レベルに設定されるものとする。

【0052】

ビット線ドライバBDV_bは、ビット線BLの他方側に相当するノードN_bおよびサブ電源配線PL_{s b}の間に電氣的に結合されるPチャネルMOSトランジスタ81と、ノードN_bおよびサブ接地配線GL_{s b}との間に電氣的に結合されるNチャネルMOSトランジスタ82と、対応する列選択線CSLおよび反転された書込データ／WDTのNAND論理演算結果を出力する論理ゲート84と、反転された書込データ／WDTおよび対応する列選択線の反転レベル／CSLのNOR論理演算結果を出力する論理ゲート86とを有する。論理ゲート84の出力はトランジスタ81のゲートに入力され、論理ゲート86の出力はトランジス

タ 8 2 のゲートへ入力される。

【 0 0 5 3 】

したがって、選択列（列選択線 C S L = 「H」レベル）においては、ビット線ドライバ B D V a および B D V b が活性化される。書込データ W D T のレベルに応じて、活性化されたビット線ドライバ B D V a は、サブ電源配線 P L s a およびサブ接地配線 G L s a の一方を選択的にノード N a と接続し、活性化されたビット線ドライバ B D V b は、サブ電源配線 P L s b およびサブ接地配線 G L s b の他方を選択的にノード N b と接続する。書込データ W D T が「H」レベルの時、ビット線ドライバ B D V a からビット線ドライバ B D V b の方向にデータ書込電流が流れる。書込データ W D T が「L」レベルの時、ビット線ドライバ B D V b からビット線ドライバ B D V a の方向にデータ書込電流が流れる。

【 0 0 5 4 】

一方、非選択列（列選択線 C S L = 「L」レベル）においては、ビット線ドライバ B D V a は非活性化されて、ノード N a を、サブ電源配線 P L s a およびサブ接地配線 G L s a のいずれとも接続せず、ビット線ドライバ B D V b は非活性化されて、ノード N b をサブ電源配線 P L s b およびサブ接地配線 G L s b のいずれとも接続しない。したがって、データ書込電流が流れることはない。

【 0 0 5 5 】

図 7 は、図 5 に示されるメモリ領域 5 5 a のビット線 B L が選択された場合のデータ書込電流が電源供給線を流れる一例図である。

【 0 0 5 6 】

ここでは一例として、書込データ W D T , / W D T が「H」レベルおよび「L」レベルに設定された場合について説明する。

【 0 0 5 7 】

図 7 を参照して、ビット線ドライバ B D V a と接続されたサブ電源配線 P L s a は、コンタクトホール C T を介してメイン電源配線 P L m a から電源電圧 V C C の供給を受ける。ビット線ドライバ B D V b と接続されたサブ電源配線 P L s b は、コンタクトホール C T を介してメイン接地配線 G L m a から接地電圧 G N D の供給を受ける。

【 0 0 5 8 】

これに伴い、ビット線ドライバBDV aからBDV bに対して書込データに応じたデータ書込電流が流れる。この場合において、サブ電源配線PL s aは、一方側から電源の供給がされるメイン電源配線PL m aと接続され、サブ接地配線GL s bは、他方側から電源の供給がされるメイン接地配線GL m aと接続されるため、図7に示されるように選択されたメモリ領域55 aと交差するメイン電源配線およびメイン接地配線の領域部分には、データ書込電流は流れない。

【 0 0 5 9 】

したがって、選択されたメモリ領域55 aにおいて電源供給線を通過するデータ書込電流が流れないためにこれに伴う磁界ノイズがメモリ領域55 aに影響を及ぼすことはない。これに伴い、磁界ノイズの発生に伴う非選択メモリセルの誤書込を本願発明の構成により抑制することが可能である。

【 0 0 6 0 】

図8は、他方メモリ領域55 bのビット線BLが選択された場合のデータ書込電流が電源供給線を通る他の一例図である。

【 0 0 6 1 】

本例においては、書込データWD T， /WD Tが「L」レベルおよび「H」レベルにそれぞれ設定された場合について説明する。

【 0 0 6 2 】

図8を参照して、ビット線ドライバBDV bと接続されたサブ電源配線PL s bは、コンタクトホールCTを介してメイン電源配線PL m bから電源電圧VCCの供給を受ける。ビット線ドライバBDV aと接続されたサブ接地配線GL s aは、コンタクトホールCTを介してメイン接地配線GL m bから接地電圧GNDの供給を受ける。

【 0 0 6 3 】

これに伴い、ビット線ドライバBDV bからBDV aに対して書込データに応じたデータ書込電流が流れる。この場合において、サブ電源配線PL s bは、他方側から電源の供給がされるメイン電源配線PL m bと接続され、サブ接地配線GL s aは、一方側から電源の供給がされるメイン接地配線GL m bと接続され

るため、図8に示されるように選択されたメモリ領域55bと交差するメイン電源配線およびメイン接地配線の領域部分には、データ書込電流は流れない。

【0064】

したがって、メモリ領域55bが選択された場合におけるメモリ領域55b内の非選択メモリセルに対して誤書込を防止することができる。

【0065】

なお、本例においては、外部端子PDa～PDdに電源が供給される構成について説明したが、バッファ回路や電圧制御回路を介して電源が供給される構成としても良い。

【0066】

また、本実施例においては、電源供給線がメモリ領域上すなわち上層部分において交差する配置について説明したがこれに限られずメモリ領域の下層部分に配置した場合もしくは近傍に配置した場合においても同様に適用できる。

【0067】

また、選択メモリ領域によらずデータ書込電流の電流経路は一樣であるためデータ書込電流のばらつきを抑制し、精度の高いデータ書込電流を供給することが可能である。すなわち、精度の高いデータ書込を実行することができる。

【0068】

(実施の形態1の変形例)

本発明の実施の形態1の変形例においては、図5で説明したメモリ領域が行方向に沿って複数のブロック領域に分割された場合の電源供給線の配置について説明する。なお、各ブロック領域は、メモリブロックを行方向に沿って分割した複数のブロックユニットのうちの少なくとも1つを含むものとする。

【0069】

図9は、実施の形態1の変形例に従う電源配線の配置を示す概念図である。

図9を参照して、メモリ領域55aおよび55bがそれぞれ行方向に沿って複数のブロック領域BUに分割されている。ここでは、主にメモリ領域55aに着目して説明する。

【0070】

一例として、メモリ領域55aがブロック領域BU0およびBU1に分割される。図5で説明した、メモリ領域55aの一方側に設けられたサブ電源配線PLsaは、ブロック領域BU0およびBU1にそれぞれ対応してサブ電源配線PLsa0およびPLsa1に分割される。また、サブ接地配線GLsaは、ブロック領域BU0およびBU1にそれぞれ対応してサブ接地配線GLsa0およびGLsa1に分割される。

【0071】

また、メモリ領域55aの他方側に設けられたサブ電源配線PLsbは、分割されたブロック領域BU0およびBU1にそれぞれ対応してサブ電源配線PLsb0およびPLsb1に分割される。また、サブ接地配線GLsbは、ブロック領域BU0およびBU1にそれぞれ対応してサブ接地配線GLsb0およびGLsb1に分割される。

【0072】

また、ビット線ドライバ帯61もブロック領域毎に分割される。本例においては、ブロック領域BU0およびBU1の一方側にそれぞれ対応してドライバユニットDUa0、DUa1に分割される。また、ビット線ドライバ帯60もブロック領域毎に分割される。本例においては、ブロック領域BU0およびBU1の他方側にそれぞれ対応してドライバユニットDUb0、DUb1に分割される。

【0073】

また、列方向に配置された複数のブロック領域毎に共通にメイン電源配線およびメイン接地配線が設けられる。具体的には、ブロック領域BU0を含む列方向に沿って配置された複数のブロック領域に対応して、一方側から電源電圧VCCおよび接地電圧GNDを供給するメイン電源配線PLma0およびメイン接地配線GLmb0が設けられ、他方側から電源電圧VCCおよび接地電圧GNDを供給するメイン電源配線PLmb0およびメイン接地配線GLma0が設けられる。

【0074】

同様に、ブロック領域BU1を含む列方向に沿って配置された複数のブロック領域に対応してもメイン電源配線およびメイン接地配線が配置される。具体的に

は、一方側から電源電圧VCCおよび接地電圧GNDを供給するメイン電源配線PLma1およびメイン接地配線GLmb1が設けられ、他方側から電源電圧VCCおよび接地電圧GNDを供給するメイン電源配線PLmb1およびメイン接地配線GLma1が設けられる。

【0075】

また、図9に示されるようにブロック領域BU0内には、代表的にビット線BL0が示され、ビット線BL0の一端側に対応して設けられたビット線ドライバBDVa0と、他端側に対応して設けられたビット線ドライバBDVb0が一つずつ示されている。また、同様にブロック領域BU1内には、代表的にビット線BL1が示され、ビット線BL1の一端側に対応して設けられたビット線ドライバBDVa1と、他端側に対応して設けられたビット線ドライバBDVb1が一つずつ示されている。

【0076】

以下において、分割したブロック領域に並列なデータ書込を実行する構成について説明する。

【0077】

データ入出力制御回路30は、一例として複数ビットの入力データDINの入力に基づいて、各ブロック領域BUに1ビットずつの書込データWDTを並列に出力する。

【0078】

図10は、図9で説明した分割したブロック領域BU0およびBU1に対して並列なデータ書込を実行する場合の動作について説明する一例図である。

【0079】

ここでは、一例としてデータ入出力制御回路30が入力データDINに基づいてブロック領域BU0のビット線ドライバに対して書込データWDT0（「H」レベル）を生成し、ブロック領域BU1のビット線ドライバに対して書込データWDT1（「L」レベル）を生成したものとする。

【0080】

図10を参照して、書込データWDT0（「H」レベル）に応じてブロック領

域BU0内のビット線ドライバBDVa0からビット線ドライバBDVb0の方向にデータ書込電流が流れる。また、書込データWDT1（「L」レベル）に応じてブロック領域BU1内のビット線ドライバBDVb1からビット線ドライバBDVa1の方向にデータ書込電流が流れる。

【0081】

この場合において、ビット線BL0およびビット線BL1に対しては、図7および図8で説明したのと同様の方式に従ってデータ書込電流が供給される。すなわち、ビット線ドライバBDVa0は、一方側から電源電圧VCCの供給を受けるメイン電源配線PLma0と接続され、他方ビット線ドライバBDVb0は、他方側から接地電圧GNDの供給を受けるメイン接地配線GLma0と接続される。したがって、選択されたブロック領域BU0上の電源供給線にはデータ書込電流が流れないためブロック領域BU0内のデータ書込時における磁界ノイズによる誤書込を防止することができる。

【0082】

また、ビット線ドライバBDVb1は、他方側から電源電圧VCCの供給を受けるメイン電源配線PLmb1と接続され、他方ビット線ドライバBDVa1は、一方側から接地電圧GNDの供給を受けるメイン接地配線GLmb1と接続される。したがって、選択されたブロック領域BU1上の電源供給線にはデータ書込電流が形成されないためブロック領域BU1内のデータ書込時における磁界ノイズによる誤書込を防止することができる。

【0083】

したがって、複数のブロック領域に並列なデータ書込を実行する構成においても磁界ノイズを防止し、安定的にデータ書込を実行することができる。

【0084】

（実施の形態1の変形例2）

本発明の実施の形態1の変形例2は、実施の形態1の図5で説明した列方向に沿って配置されたメモリ領域55aおよび55bが1つのバンクを形成し、複数のバンクがMRAMデバイスに配置された場合の電源供給線の配置について説明する。

【 0 0 8 5 】

図 1 1 は、実施の形態 1 の変形例 2 に従う複数のバンク構成において、並列なデータ書込を実行した場合の概念図である。

【 0 0 8 6 】

図 1 1 を参照して、列方向に沿って配置されたメモリ領域 5 5 a および 5 5 b は、バンク B A を形成する。また、列方向に沿って配置されたメモリ領域 5 5 a # およびメモリ領域 5 5 b # は、バンク B B を形成する。なお、メモリ領域 5 5 a #, 5 5 b # は、上記において説明したメモリ領域 5 5 a および 5 5 b と同様の構成であるのでその詳細な説明は繰り返さない。

【 0 0 8 7 】

また、本発明の実施の形態 1 の変形例 2 の構成においては、図示しないがバンク B A に対応して行デコーダ 2 0 および 2 1 が設けられている構成と同様にバンク B B に対しても行デコーダ 2 0 および 2 1 に相当する回路が同様に配置されるものとする。

【 0 0 8 8 】

本発明の実施の形態 1 の変形例 2 の構成においては、実施の形態 1 で説明した構成と同様にバンク毎にサブ電源／接地配線およびメイン電源／接地配線を配置する。具体的には、バンク B A のメモリ領域 5 5 a および 5 5 b の一方側に対応してサブ電源配線 P L s a # 0 およびサブ接地配線 G L s a # 0 を配置する。また、他方側に対応してサブ電源配線 P L s b # 0 およびサブ接地配線 G L s b # 0 を配置する。また、バンク B A 共通に設けられるメイン電源配線 P L m a # 0, P L m b # 0 およびメイン接地配線 G L m a # 0 および G L m b # 0 が実施の形態 1 で説明したのと同様の方式にしたがって配置される。具体的には、一方側から電源電圧 V C C を供給するメイン電源配線 P L m a # 0 は、サブ電源配線 P L s a # 0 と電氣的に結合される。他方側から電源電圧 V C C を供給するメイン電源配線 P L m b # 0 は、サブ電源配線 P L s b # 0 と電氣的に結合される。また、他方側から接地電圧 G N D を供給するメイン接地配線 G L m a # 0 は、サブ接地配線 G L s b # 0 と電氣的に結合される。また、一方側から接地電圧 G N D を供給するメイン接地配線 G L m b # 0 は、サブ接地配線 G L s a # 0 と電氣的

に結合される。

【0089】

また、バンクBBのメモリ領域55a#および55b#の一方側に対応してサブ電源配線PLsa#1およびサブ接地配線GLsa#1を配置する。また、他方側に対応してサブ電源配線PLsb#1およびサブ接地配線GLsb#1を配置する。また、バンクBB共通に設けられるメイン電源配線PLma#1、PLmb#1およびメイン接地配線GLma#1およびGLmb#1がバンクBAと同様の方式にしたがって配置される。具体的には、一方側から電源電圧VCCを供給するメイン電源配線PLma#1は、サブ電源配線PLsa#1と電氣的に結合される。他方側から電源電圧VCCを供給するメイン電源配線PLmb#1は、サブ電源配線PLsb#1と電氣的に結合される。また、他方側から接地電圧GNDを供給するメイン接地配線GLma#1は、サブ接地配線GLsb#1と電氣的に結合される。また、一方側から接地電圧GNDを供給するメイン接地配線GLmb#1は、サブ接地配線GLsa#1と電氣的に結合される。

【0090】

本例においては、一例としてバンクBAのメモリ領域55aおよびバンクBBのメモリ領域55b#において並列なデータ書込を実行する。

【0091】

メモリ領域55aにおいては、選択されたビット線BLに対して書込データWDT（「L」レベル）に対応するデータ書込電流が供給されるものとする。この場合においても、上記で説明したのと同様に、他方側からの電源電圧を供給するメイン電源配線PLmb#～サブ電源配線PLsb#0～選択ビット線～サブ電源配線PLsa#0～メイン接地配線GLmb#0の経路で電流が流れるため選択されたメモリ領域55a上の電源供給線には、電流経路が形成されない。したがって、電源ノイズによる誤書込を抑制することができる。

【0092】

また、メモリ領域55b#においては、選択されたビット線BLに対して書込データWDT（「H」レベル）に対応するデータ書込電流が供給されるものとする。この場合においても同様に、一方側からの電源電圧を供給するメイン電源配

線 PLma #1 ~ サブ電源配線 PLsa #1 ~ 選択ビット線 ~ サブ電源配線 PLsb #1 ~ メイン接地配線 GLma #1 の経路で電流が流れるため選択されたメモリ領域 55b # 上の電源供給線には、電流経路が形成されない。したがって、磁界ノイズによる誤書込を抑制することができる。

【0093】

したがって本実施の形態 1 の変形例 2 の構成のように複数のバンクを MRAM デバイス 1 に備えた場合においても各バンク内において選択されたメモリ領域と交差する電源供給線にはデータ書込電流が流れないため当該選択されたメモリ領域における磁界ノイズに伴う誤書込を防止することができる。

【0094】

(実施の形態 1 の変形例 3)

図 12 は、実施の形態 1 の変形例 3 に従うメモリ領域 55a および 55b に対して電源を供給する電源供給線の他の配置を示す概念図である。

【0095】

図 12 を参照して、本発明の実施の形態 1 の変形例 3 に従う構成においては、図 5 で説明した実施の形態 1 の構成と比較して、メイン接地配線 GLma および GLmb を削除した点と、さらにメイン電源配線 PLma # および PLmb # を配置した点とが異なる。メイン電源配線 PLma # は、メイン電源配線 PLma と同一方向からすなわち一方の側から電源電圧 VCC を供給し、メイン電源配線 PLma と同様にサブ電源配線 PLsa と電氣的に結合される。

【0096】

他方、メイン電源配線 PLmb # は、メイン電源配線 PLmb と同一方向すなわち他方側から電源電圧 VCC を供給し、メイン電源配線 PLmb と同様にサブ電源配線 PLsb と電氣的に結合される。

【0097】

また、サブ接地配線 GLsa および GLsb は、ともに直接接地電圧 GND と電氣的に結合される。

【0098】

ここで、メモリ領域 55a の選択されたビット線 BL に書込データ（「L」レ

ベル) に対応するデータ書込電流が流れる場合について説明する。

【0099】

図12に示されるように、メイン電源配線PLmbおよびPLmb#からサブ電源配線PLsbを介してビット線ドライバBDVbに対して電源電圧VCCが供給される。また、ビット線ドライバBDVaは、サブ接地配線GLsaから接地電圧GNDの供給を受ける。

【0100】

これにより選択されたビット線BLに対して所望のデータ書込電流が形成されるとともに、メモリ領域55a上の交差する電源供給線にはデータ書込電流が流れない。

【0101】

したがって、上記において説明したのと同様に磁界ノイズに伴う非選択メモリの誤書込を防止することができる。

【0102】

なお、図12に示される構成においては同一方向から2本の電源電圧VCCを供給する2段構成のメイン電源配線が設けられる構成としたが、これに限られず1本すなわち1段構成のメイン電源配線PLmaおよびPLmbのみを用いることによってデータ書込電流を供給することも可能である。

【0103】

なお、本構成のように2段構成のメイン電源配線を配置することにより、配線抵抗に伴う電圧降下を抑制して、十分なデータ書込電流を供給することができる。

【0104】

図13は、実施の形態1の変形例3に従うメモリ領域55aおよび55bに対して電源を供給する電源供給線の別の配置を示す概念図である。

【0105】

図13を参照して、上記の図12の構成と比較して、メイン電源配線PLma, PLmb, PLma#, PLmb#を、メイン接地配線GLma, GLmb, GLma#, GLmb#に置換するとともに、サブ接地配線GLsaおよびGL

s b は、直接接地電圧 GND と電氣的に結合されている。

【0106】

メイン接地配線 GLma および GLma # は、他方側から接地電圧 GND を供給し、サブ接地配線 GLsb と電氣的に結合される。メイン接地配線 GLmb および GLmb # は、一方側から接地電圧 GND を供給し、サブ接地配線 GLsa と電氣的に結合される。

【0107】

ここで、メモリ領域 55a の選択されたビット線 BL に書込データ（「L」レベル）に対応するデータ書込電流が流れる場合について説明する。

【0108】

図 13 に示されるように、サブ電源配線 PLsb からビット線ドライバ BDVb に対して電源電圧 VCC が供給される。また、ビット線ドライバ BDVa は、サブ接地配線 GLsa と接続されるメイン接地配線 GLmb および GLmb # から接地電圧 GND の供給を受ける。

【0109】

これにより、選択されたビット線 BL に対して所望のデータ書込電流が形成されるとともに、メモリ領域 55a 上において交差する電源供給線にはデータ書込電流が流れない。

【0110】

したがって、上記において説明したのと同様に選択メモリ領域内において、磁界ノイズに伴う非選択メモリセルの誤書込を防止することができる。

【0111】

（実施の形態 2）

本発明の実施の形態 1 においては、選択されたビット線 BL に対してデータ書込電流を供給するためにビット線ドライバに電源電圧 VCC および接地電圧 GND を供給する電源供給線の配置について説明した。

【0112】

一方で、データ書込電流を供給するデジット線 DL を駆動するドライバについても電源供給線により電源電圧 VCC および接地電圧 GND を供給する必要がある。

る。この場合において、その電源供給線の配置に伴い磁界ノイズに基づく誤書込を生じさせる可能性がある。

【 0 1 1 3 】

図 1 4 は、本発明の実施の形態 2 に従うデジット線を駆動するための電源供給線の配置を示す概念図である。

【 0 1 1 4 】

図 1 4 を参照して、本発明の実施の形態 2 においては、バンク B A およびバンク B B のデジット線ドライバに対して電源を共通の電源供給線により供給する場合について説明する。

【 0 1 1 5 】

上記において説明したように、バンク毎に行デコーダが設けられる。具体的には、バンク B A に対応して、行選択を実行する行デコーダ 2 0 a (図示せず) および行デコーダ 2 1 a が設けられることとする。また、バンク B B に対応して、行選択を実行する行デコーダ 2 0 b (図示せず) および行デコーダ 2 1 b が設けられることとする。なお、ここでは、ワード線/デジット線ドライバ帯は、バンク B A および B B の領域内に属するものとして説明する。

【 0 1 1 6 】

図 1 4 においては、バンク B A 内にデジット線 D L の他方側に対応して設けられたデジット線ドライバ D L V と、一方側に対応して設けられたトランジスタ 5 0 がそれぞれ一つずつ示されている。デジット線ドライバ D L V は、行デコーダ 2 0 a および 2 0 b (図示しない) のロウアドレス R A に基づく行選択結果に応じて活性化され、デジット線 D L の他端側と、サブ電源配線 P D L s a (P D L s b) とを電氣的に結合する。一方、トランジスタ 5 0 は、行デコーダ 2 1 a (2 1 b) の行選択結果に基づいて、選択されたデジット線 D L の一端側と、サブ接地配線 G D L s a (G D L s b) とを電氣的に結合する。これに伴い、選択されたデジット線 D L に対してデータ書込電流が供給される。

【 0 1 1 7 】

バンク B A の一方側に対応して配置され、接地電圧 G N D の供給を受けるサブ接地配線 G D L s a および他方側に対応して配置され、電源電圧 V C C の供給を

受けるサブ電源配線 PDLsa が列方向に沿って配置される。また、バンク BB の一方側に対応して配置され、接地電圧 GND の供給を受けるサブ接地配線 GDLsb および他方側に対応して配置され、電源電圧 VCC の供給を受けるサブ電源配線 PDLsb が列方向に沿って配置される。

【 0 1 1 8 】

また、サブ電源配線 PDLsa および PDLsb に対して電源電圧 VCC を供給するためにメイン電源配線が行方向に沿ってバンク BA および BB と交差するように配置される。また、サブ接地配線 GDLsa および GDLsb に対して接地電圧 GND を供給するためにメイン接地配線が行方向に沿ってバンク BA および BB と交差するように配置される。

【 0 1 1 9 】

本実施の形態 2 の構成に関しては、バンク BA および BB の他方側から電源電圧 VCC を供給するために設けられたメイン電源配線 PDLma および PDLma # と、バンク BA および BB の一方側から接地電圧 GND を供給するために設けられたメイン接地配線 GDLma および GDLma # とが列方向に沿って設けられる。

【 0 1 2 0 】

メイン電源配線 PDLma および PDLma # は、バンク BA および BB の他方側に配置されたサブ電源配線 PDLsa および PDLsb とそれぞれコンタクトホールを介して電氣的に結合される。また、メイン接地配線 GDLma および GDLma # は、バンク BA および BB の一方側に配置されたサブ接地配線 GDLsa および GDLsb とそれぞれコンタクトホールを介して電氣的に結合される。また、本構成においては、メイン電源配線 PDLma および PDLmb が 2 段構成で配置されている。また、メイン接地配線 GDLma および GDLmb が 2 段構成で配置されている。

【 0 1 2 1 】

図 1 5 は、図 1 4 で説明したバンク BA においてデジット線ドライバ DLV を活性化させた場合の電源配線を流れる電流経路を説明する概念図である。

【 0 1 2 2 】

なお、本実施の形態 2 においては、バンク B A および B B のいずれか一方が活性化されて動作するものとする。

【 0 1 2 3 】

図 1 5 を参照して、選択されたデジット線ドライバ D L V は、サブ電源配線 P D L s a から電源電圧 V C C の供給を受ける。また、行デコーダによって活性化されたトランジスタ 5 0 はサブ接地配線 G D L s a と電氣的に結合されて接地電圧 G N D の供給を受ける。

【 0 1 2 4 】

これによりデジット線 D L にはデジット線ドライバ D L V からトランジスタ 5 0 の側にデータ書込電流が流れる。

【 0 1 2 5 】

したがって、バンク B A と交差する方向に配置された電源供給線にはデータ書込電流が形成されることはない。

【 0 1 2 6 】

したがって、選択されたバンク B A における非選択メモリセルに対して磁界ノイズに基づく誤書込を生じさせることはない。

【 0 1 2 7 】

なお、本実施の形態 2 の構成においては、2 段のメイン電源配線およびメイン接地配線を設けた構成としたがこれに限られず、1 段だけ配置する構成とすることも可能である。

【 0 1 2 8 】

また、上記の実施の形態 1 の変形例 3 で説明したように電源電圧 V C C もしくは接地電圧 G N D いずれか一方のメイン電源配線もしくはメイン接地配線を除去するとともに、サブ電源配線およびサブ接地配線を直接電源電圧 V C C もしくは接地電圧 G N D と電氣的に接続する構成とすることも可能である。

【 0 1 2 9 】

なお、上記の本実施の形態 2 では、デジット線に用いられる電源供給線のみ説明したが実施の形態 1 の構成と当然組み合わせて用いることも可能である。

【 0 1 3 0 】

(実施の形態 2 の変形例)

本発明の実施の形態 2 の変形例は、実施の形態 2 で説明した電源供給線と異なる電源供給線の配置について説明する。

【0131】

本例においては、行デコーダのレイアウトを容易に可能にする構成について説明する。

【0132】

図 1 6 は、本発明の実施の形態 2 に従うデジット線を駆動するための電源供給線の他の配置を示す概念図である。

【0133】

図 1 6 を参照して、ここでは、バンク B B においてデジット線ドライバ D L V からデータ書込電流を流す方向をバンク B A と反対になるように配置する。

【0134】

具体的には、バンク B B において、デジット線 D L の一方側にデジット線ドライバ D L V が配置され、デジット線 D L の他方側にトランジスタ 5 0 が設けられる。また、バンク B B の一方側に電源電圧 V C C の供給を受けるサブ電源配線 P D L s b と、他方側に接地電圧 G N D の供給を受けるサブ接地配線 G D L s b が設けられる。

【0135】

また、メイン電源配線 P D L m a # および G D L m a # の代わりにメイン電源配線 P D L m b および G D L m b が設けられる。他方側から電源電圧 V C C が供給されるメイン電源配線 P D L m a は、サブ電源配線 P D L s a と電氣的に結合される。また、一方側から接地電圧 G N D を供給するメイン接地配線 G D L m a は、サブ接地配線 G D L s a と電氣的に結合される。一方側から電源電圧 V C C を供給するメイン電源配線 P D L m b は、サブ電源配線 P D L s b と電氣的に結合される。また、他方側から接地電圧 G N D を供給するメイン接地配線 G D L m b は、サブ接地配線 G D L s b と電氣的に結合される。

【0136】

すなわち、バンク B A 内の選択されたデジット線 D L の他方側に設けられたデ

ジット線ドライバDLVは、他方側から電源電圧の供給を受ける。また、バンクBB内の選択されたデジット線DLの一方側に設けられたデジット線ドライバDLVは、一方側から電源電圧の供給を受ける。

【0137】

したがって、バンクBAが活性化された場合には選択されたデジット線に対して電源線を介して他方側から一方側の方向に電流経路が形成される。一方、バンクBBが活性化された場合には、選択されたデジット線に対して電源線を介して一方側から他方側の方向に電流経路が形成される。したがって、磁界ノイズに基づく誤書込を抑制することができる。

【0138】

また、本実施の形態2の変形例においては、バンクBAおよびBBのトランジスタ50を活性化する行デコーダ21#をバンクBAおよびBBの互いに隣接する領域に配置する。

【0139】

これにより、実施の形態2の如くバンクBAおよびBB毎に行デコーダ21配置していた場合と比較してレイアウト面積を縮小化することができる。

【0140】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0141】

【発明の効果】

この発明は以上説明したように、第1の方向側から電源が供給される第1の電源供給線と、第1の方向側に配置された第1のドライバ帯と、第2の方向側から電源が供給される第2の電源供給線と、第2の方向側に配置された第2のドライバ帯とが設けられ、第1のドライバ帯は、第1の電源供給線と接続され、第2のドライバ帯は、第2の電源供給線と接続される。したがって、選択メモリ領域内の第1のドライバ帯は、常に第1の方向側（メモリ領域外方向）から電源供給を

受け、第2のドライバ帯は常に第2の方向側（メモリ領域外方向）から電源供給を受けるため領域内において、第1の電源供給線および第2の電源供給線には電流経路は形成されない。これにより、選択メモリ領域内の磁界ノイズを抑制し、誤書込を防止することができる。

【0142】

また、第1の方向側から第1の電圧が供給される第1の電源線と、第1の方向側に配置された第1のドライバ帯と、第2の方向側から第1の電圧が供給される第2の電源線と、第2の方向側に配置された第2のドライバ帯とが設けられる。データ書込時に第1および第2のドライバ帯の一方と対応する第1および第2の電源線の一方とが接続され、他方と第2の電圧とが電氣的に結合される。したがって、選択メモリ領域内の第1および第2のドライバ帯の一方は、対応する第1および第2の方向側の所定の一方（メモリ領域外方向）から第1の電圧を受ける。したがって、選択メモリ領域内において第1の電源線および第2の電源線には電流経路は形成されない。これにより、選択メモリ領域内の磁界ノイズを抑制し、誤書込を防止することができる。

【0143】

また、デジット線の第1の方向側にデジット線ドライバ帯が設けられ、デジット線の第2の方向側は第2の電圧と電氣的に結合される。また、第1の方向側から第1の電圧を供給する第1の電源線を設け、デジット線ドライバ帯と接続される。したがって、選択メモリ領域内において、選択メモリ領域内のデジット線ドライバ帯は、常に第1の方向側（メモリ領域外方向）から第1の電圧の供給を受けるため、選択メモリ領域内において、第1の電源線には電流経路は形成されない。これにより選択メモリ領域内の磁界ノイズを抑制し、誤書込を防止することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態に従うMRAMデバイス1の全体構成を示す概略ブロック図である。

【図2】 メモリブロック5およびその周辺回路の回路構成を示す概略ブロック図である。

【図 3】 トンネル磁気抵抗素子 TMR に対するデータ書込動作を説明する概念図である。

【図 4】 データ書込時におけるデータ書込電流とトンネル磁気抵抗素子の磁化方向との関連を示す概念図である。

【図 5】 データ書込電流を供給するためにビット線ドライバ BDV a および BDV b に対して電源を供給する電源供給線の配置を説明する概念図である。

【図 6】 図 5 に示されたビット線ドライバ BDV a および BDV b の構成を示す回路図である。

【図 7】 図 5 に示されるメモリ領域 55 a のビット線 BL が選択された場合のデータ書込電流が電源供給線を流れる一例図である。

【図 8】 他方メモリ領域 55 b のビット線 BL が選択された場合のデータ書込電流が電源供給線を流れる他の一例図である。

【図 9】 実施の形態 1 の変形例に従う電源配線の配置を示す概念図である。

【図 10】 図 9 で説明した分割したブロック領域 BU 0 および BU 1 に対して並列なデータ書込を実行する場合の動作について説明する一例図である。

【図 11】 実施の形態 1 の変形例 2 に従う複数のバンク構成において、並列なデータ書込を実行した場合の概念図である。

【図 12】 実施の形態 1 の変形例 3 に従うメモリ領域 55 a および 55 b に対して電源を供給する電源供給線の他の配置を示す概念図である。

【図 13】 実施の形態 1 の変形例 3 に従うメモリ領域 55 a および 55 b に対して電源を供給する電源供給線の別の配置を示す概念図である。

【図 14】 本発明の実施の形態 2 に従うデジット線を駆動するための電源供給線の配置を示す概念図である。

【図 15】 図 14 で説明したバンク BA においてデジット線ドライバ DLV を活性化させた場合の電源配線を流れる電流経路を説明する概念図である。

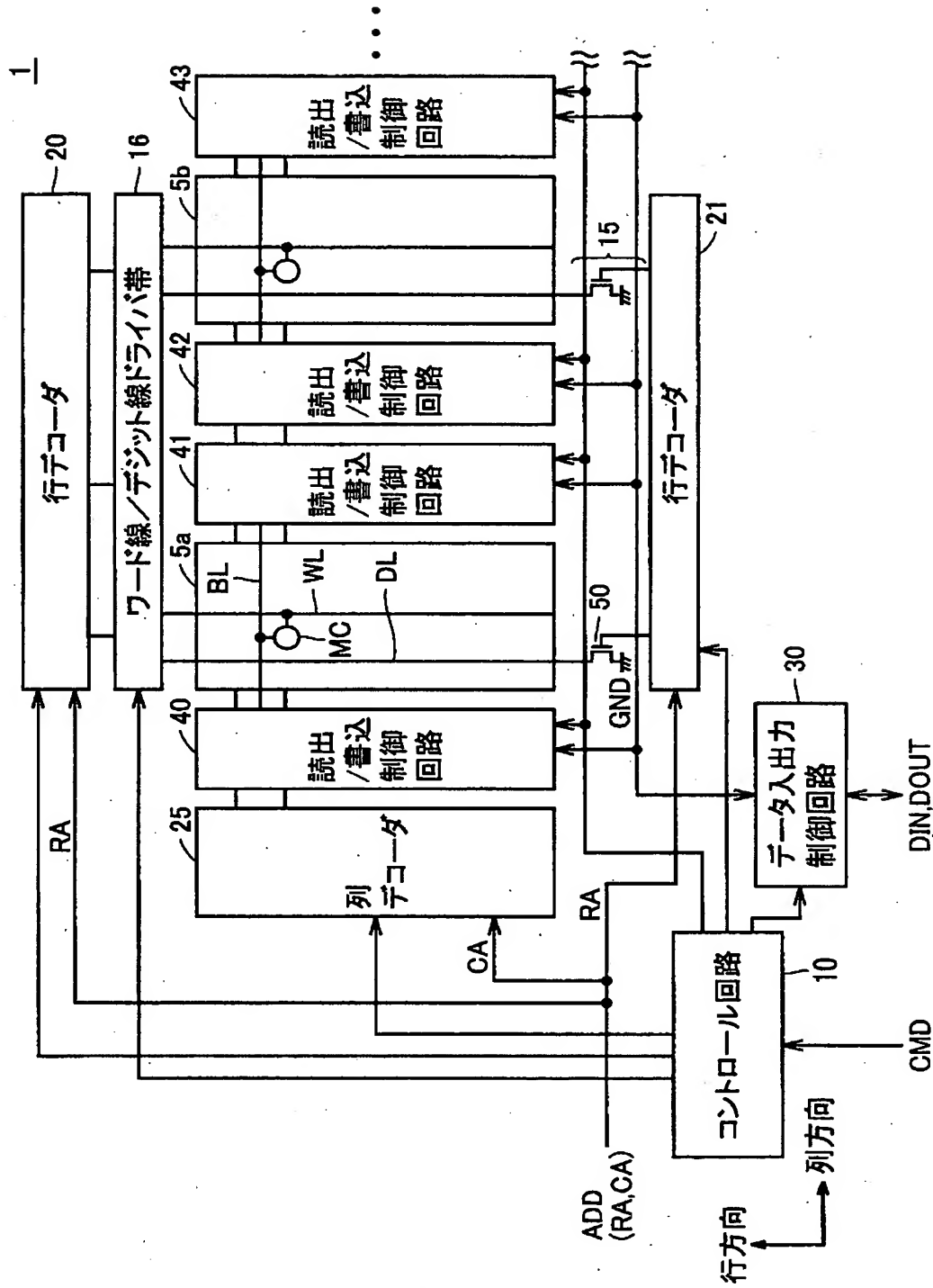
【図 16】 本発明の実施の形態 2 に従うデジット線を駆動するための電源供給線の他の配置を示す概念図である。

【符号の説明】

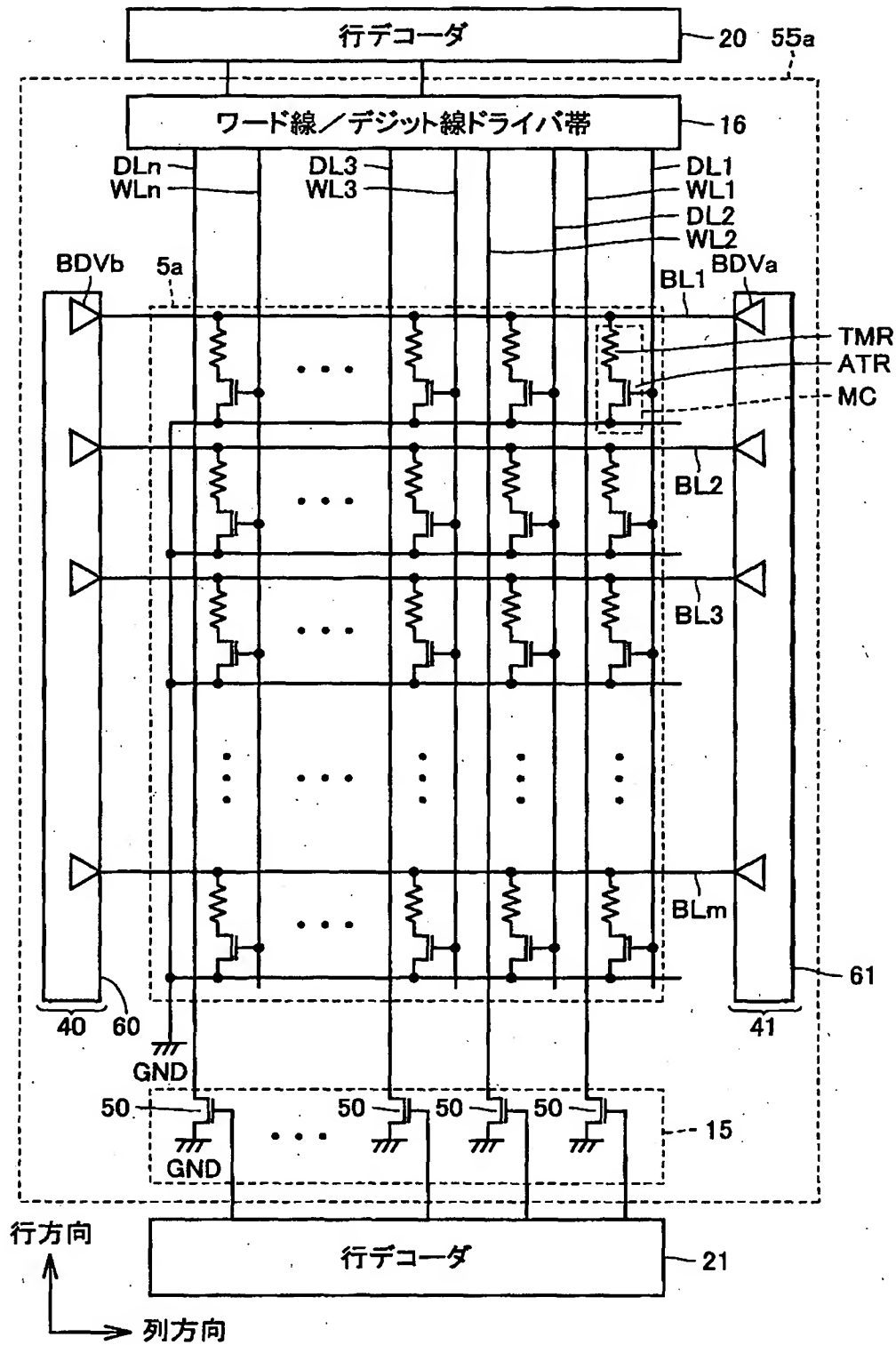
1 MRAMデバイス、5a, 5b メモリ領域、10 コントロール回路、
15 スイッチ領域、16 ワード線／デジット線ドライバ帯、20, 21 行
デコーダ、25 列デコーダ、30 データ入出力制御回路、40～43 読出
／書込制御回路、55a, 55b, 55a#, 55b# メモリ領域。

【書類名】 図面

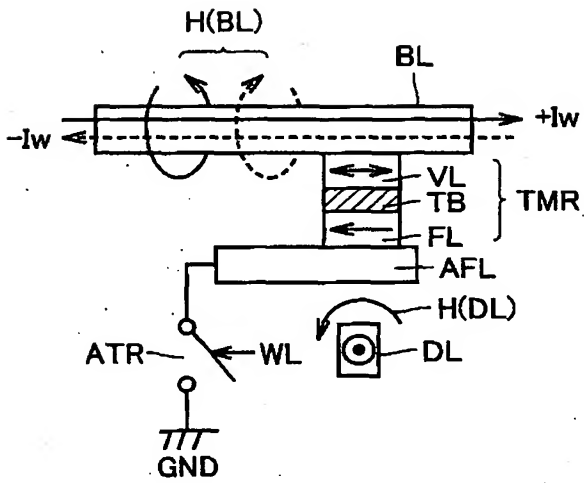
【図 1】



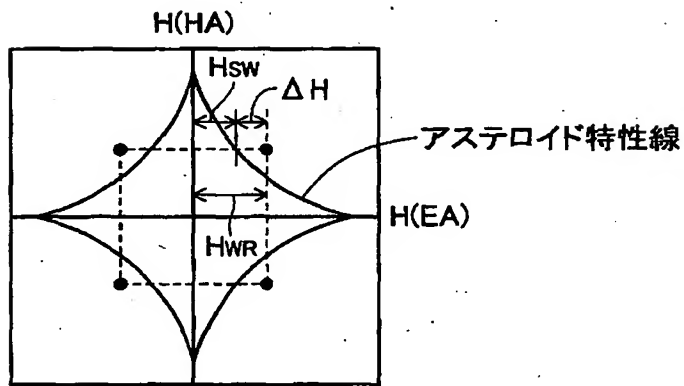
【図 2】



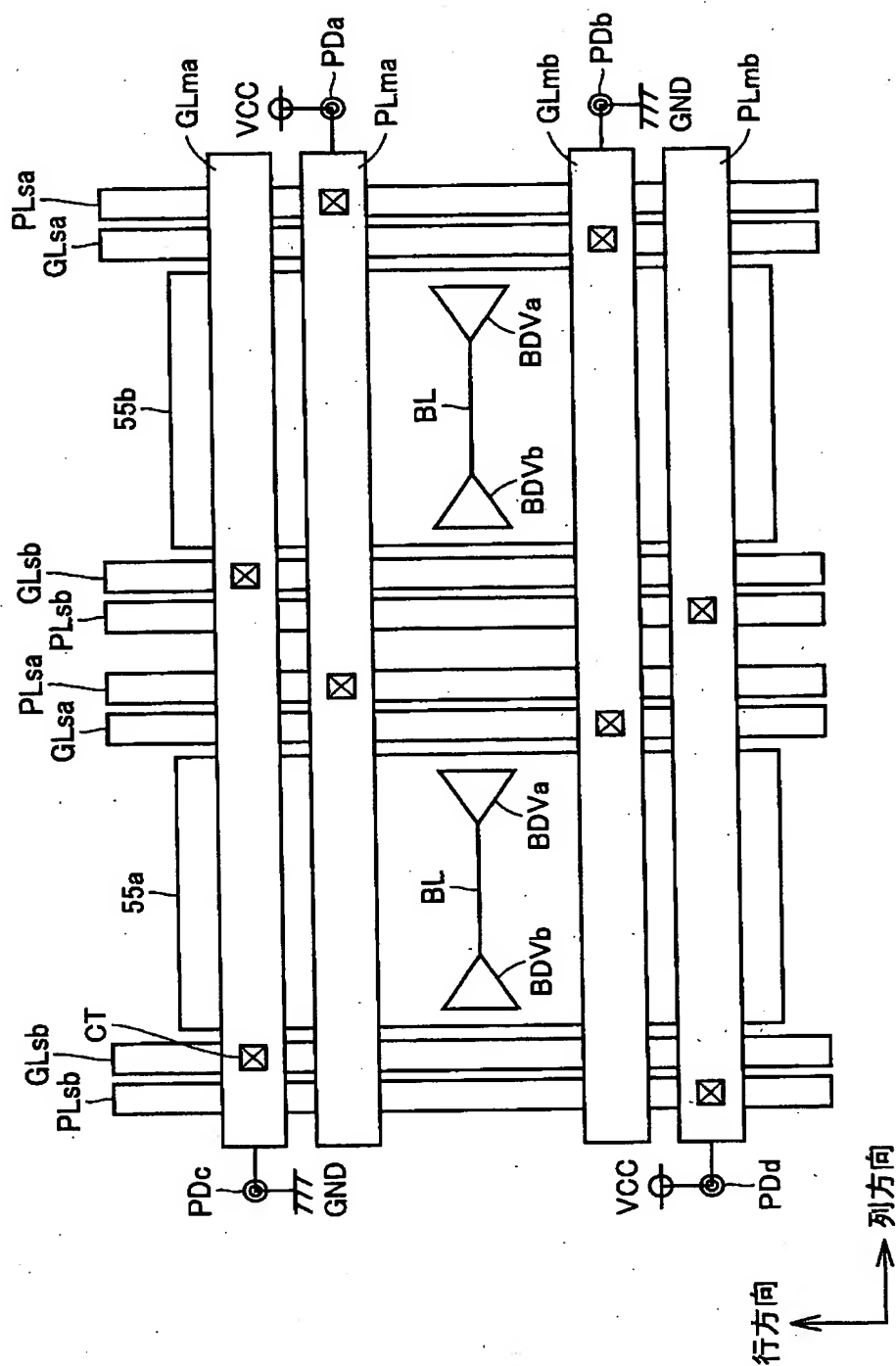
【図 3】



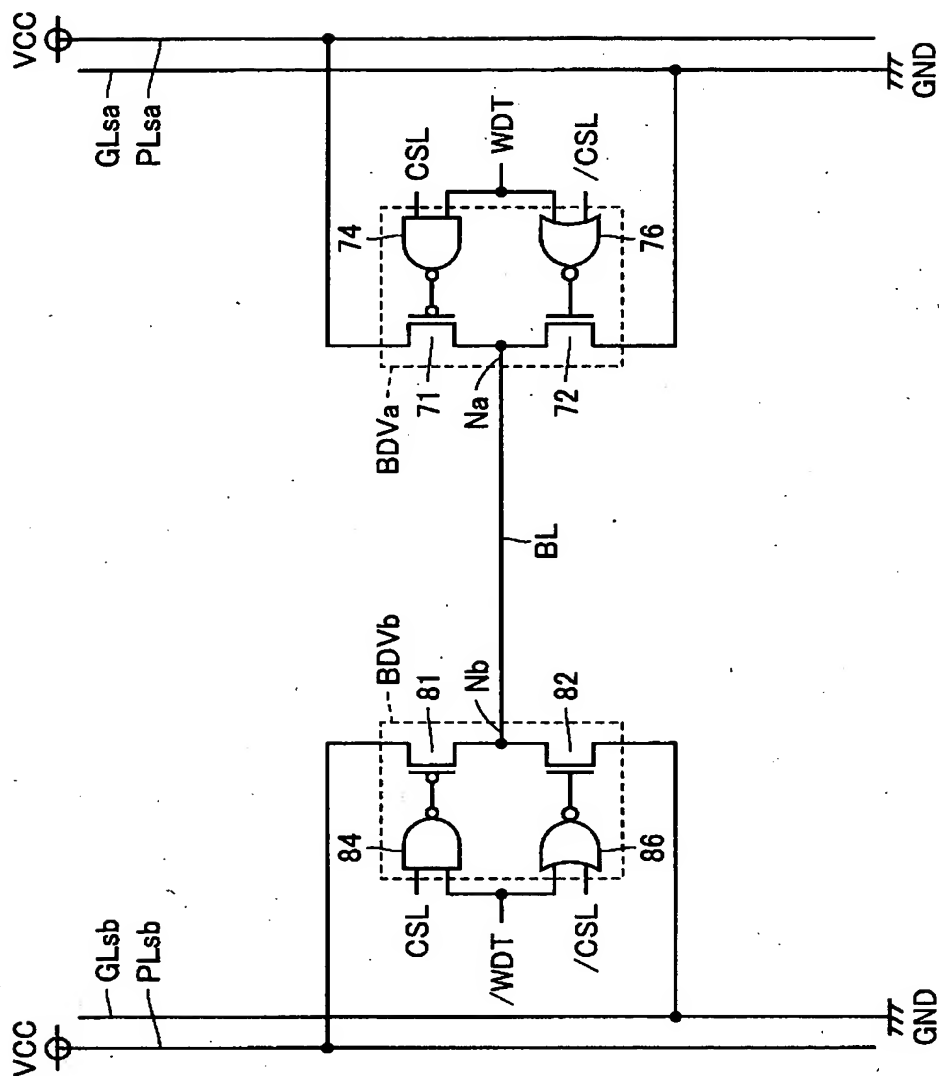
【図 4】



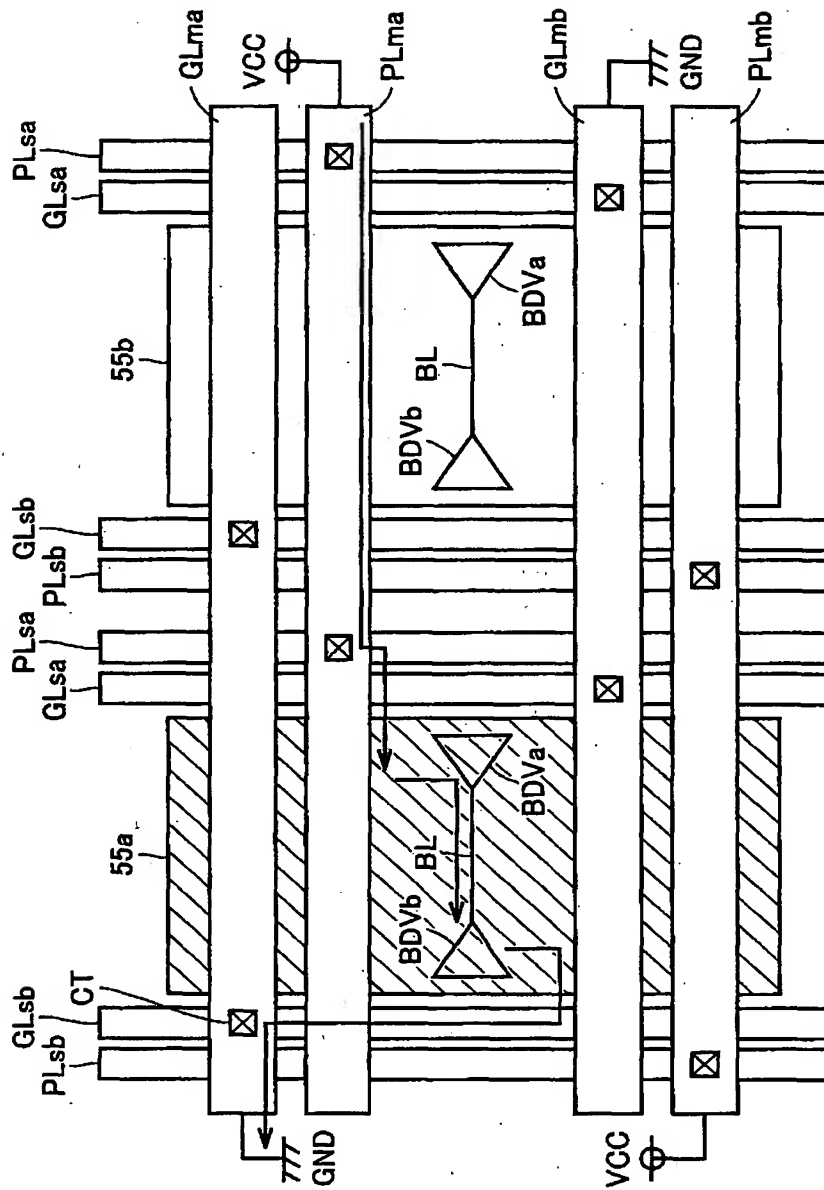
【図 5】



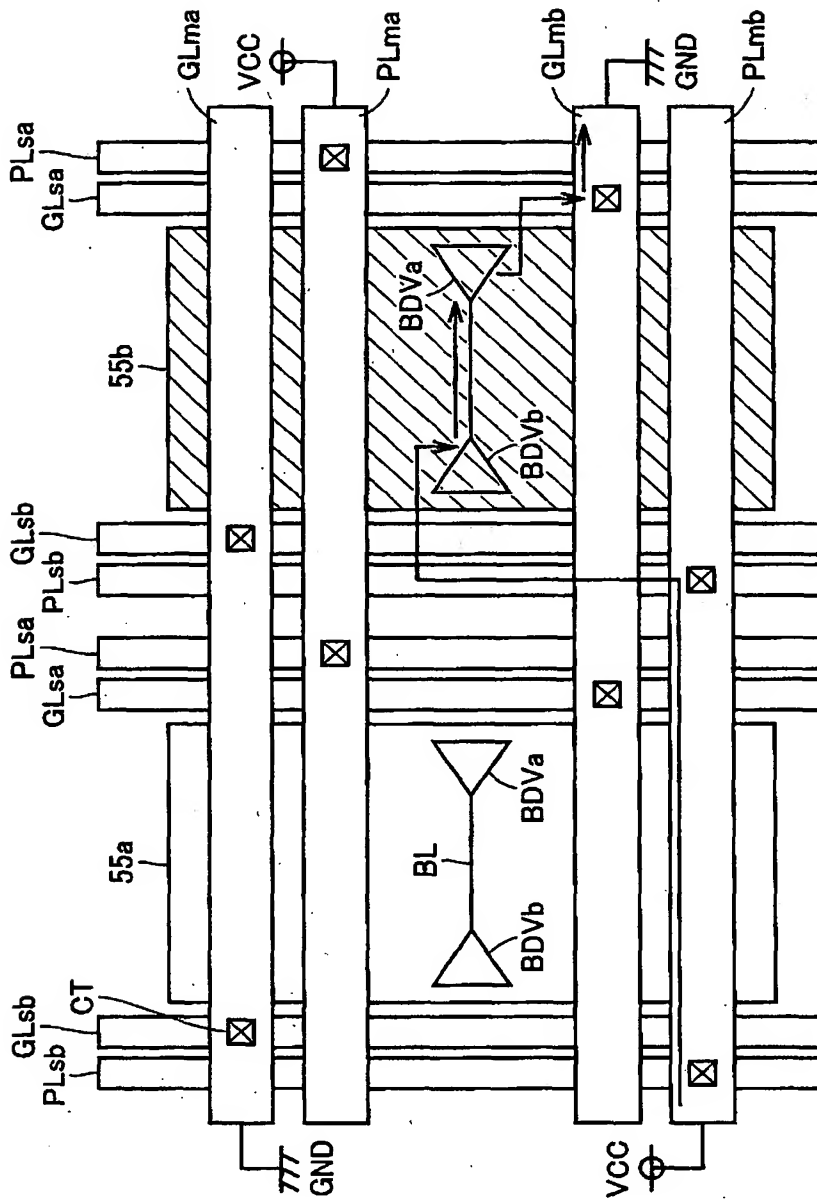
【図6】



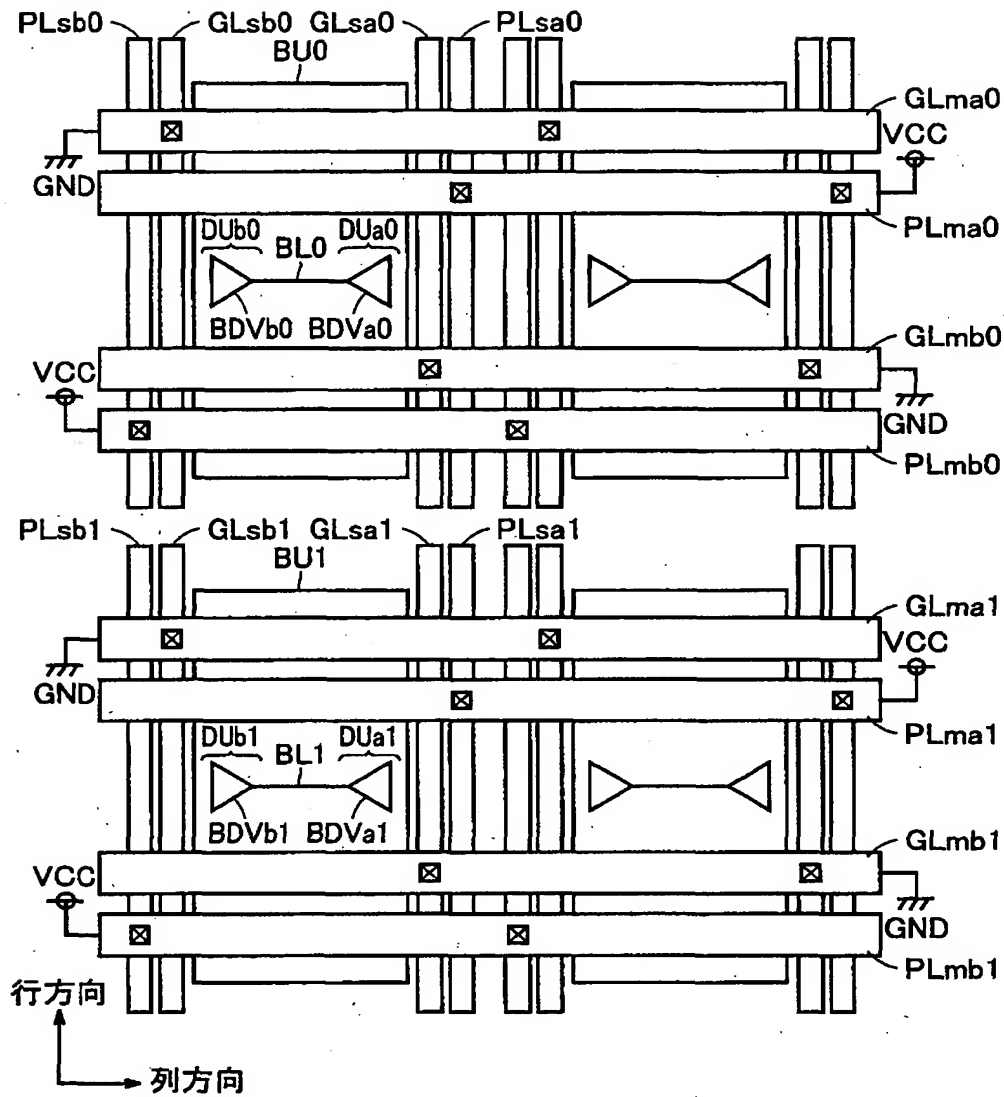
【図 7】



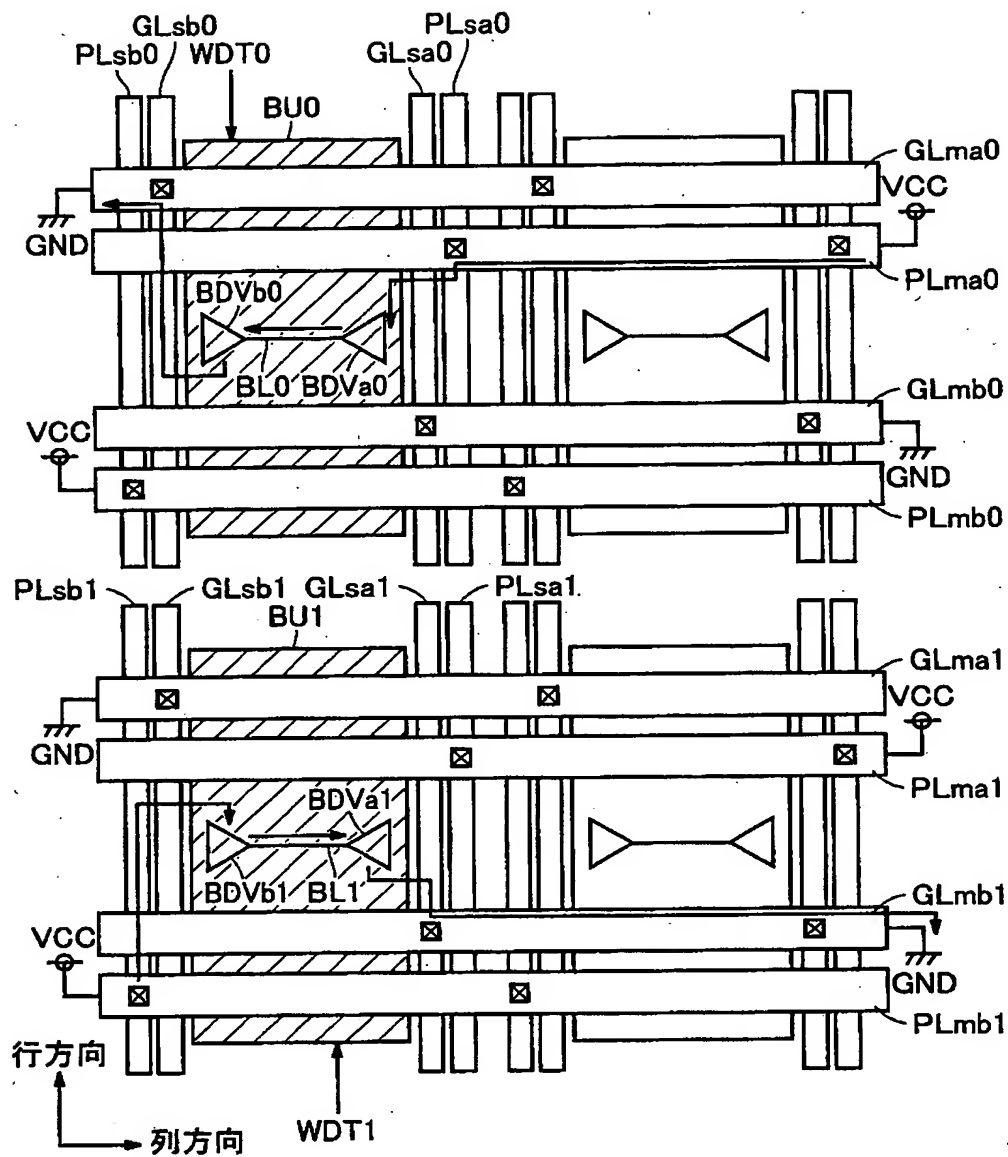
【図 8】



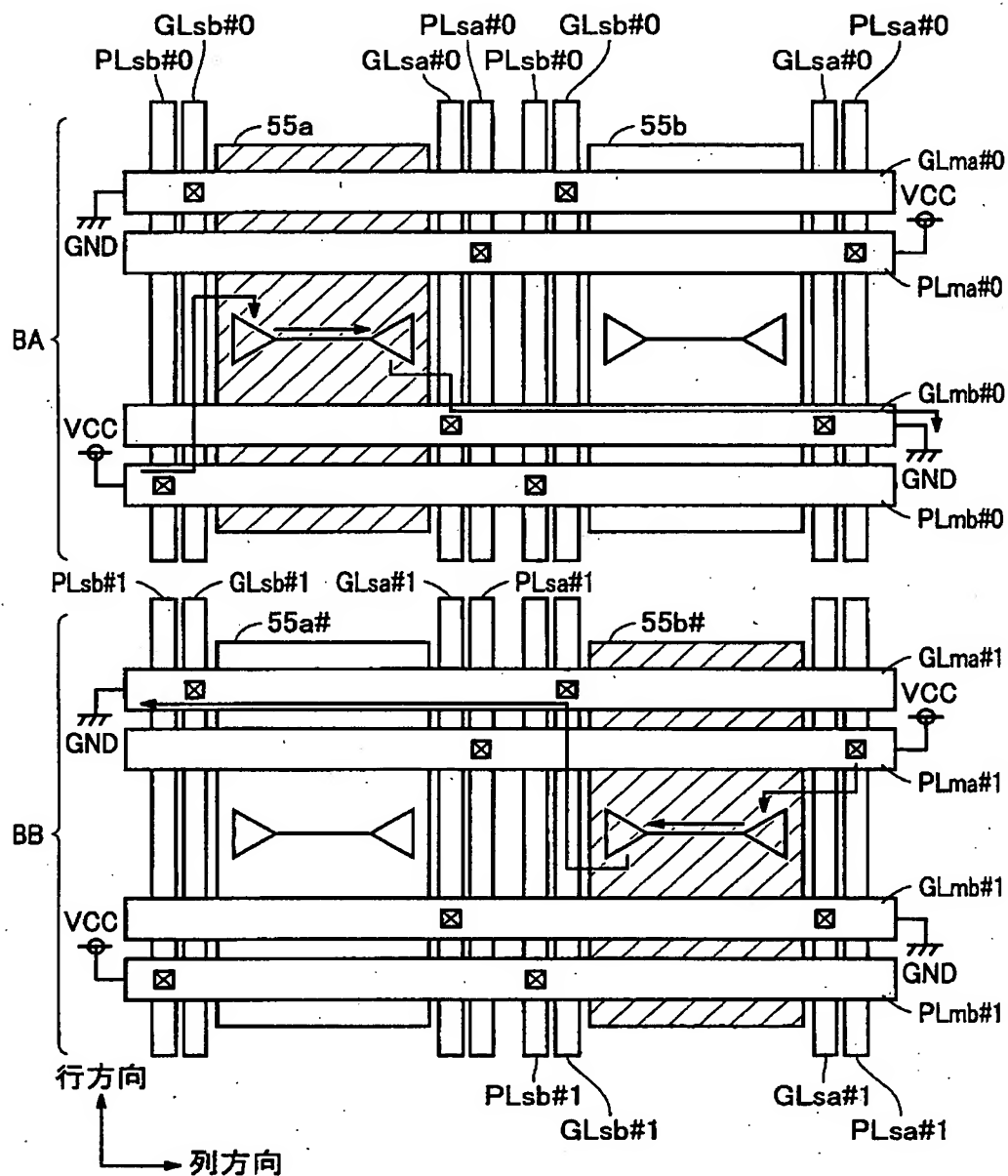
【図 9】



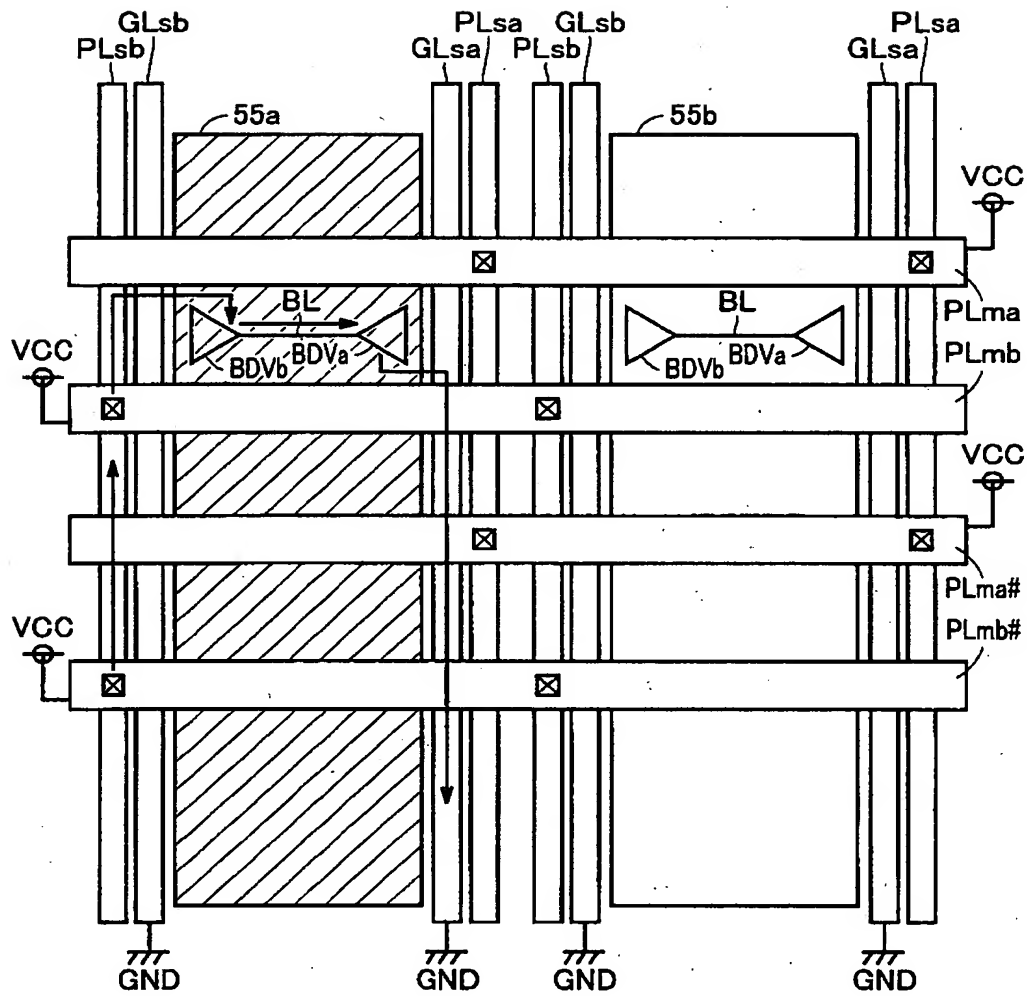
【図10】



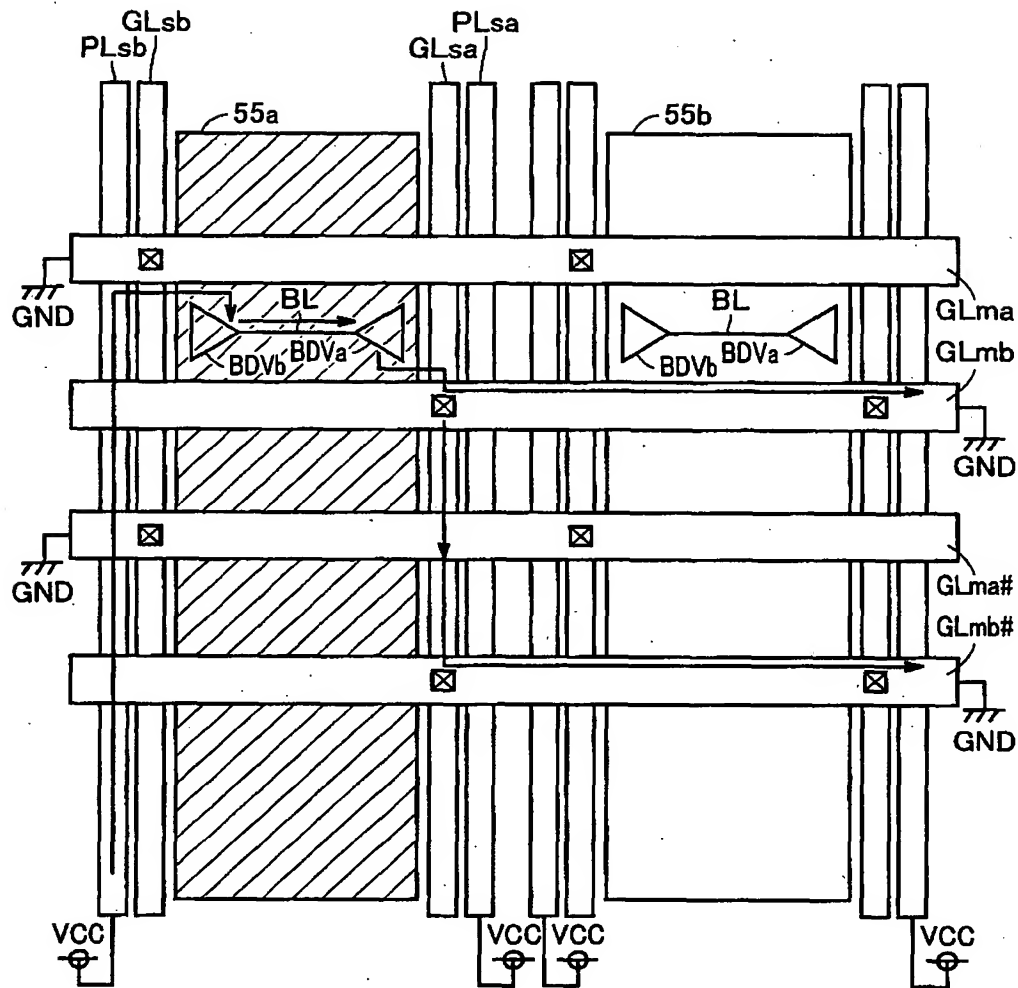
【図 11】



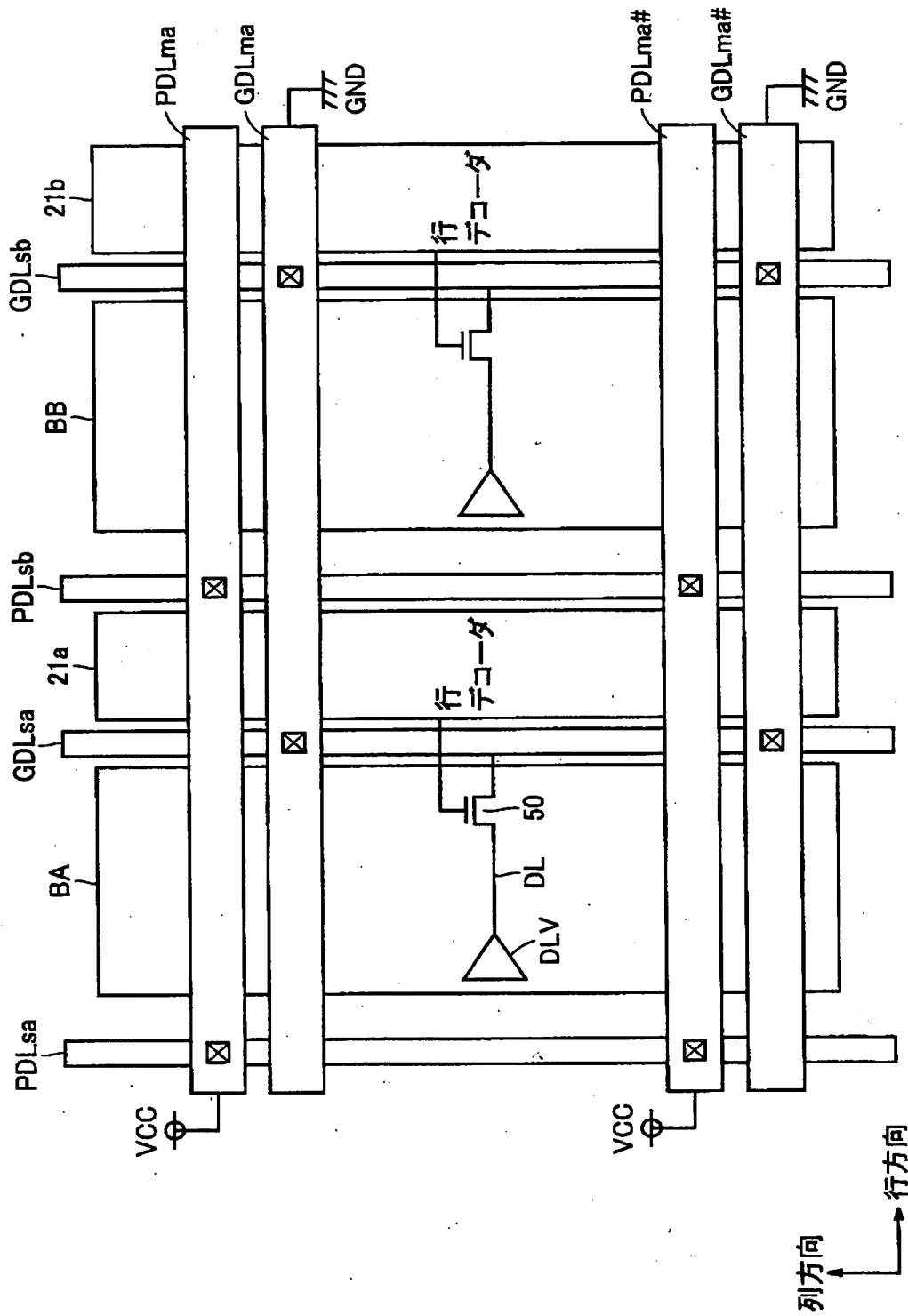
【図 12】



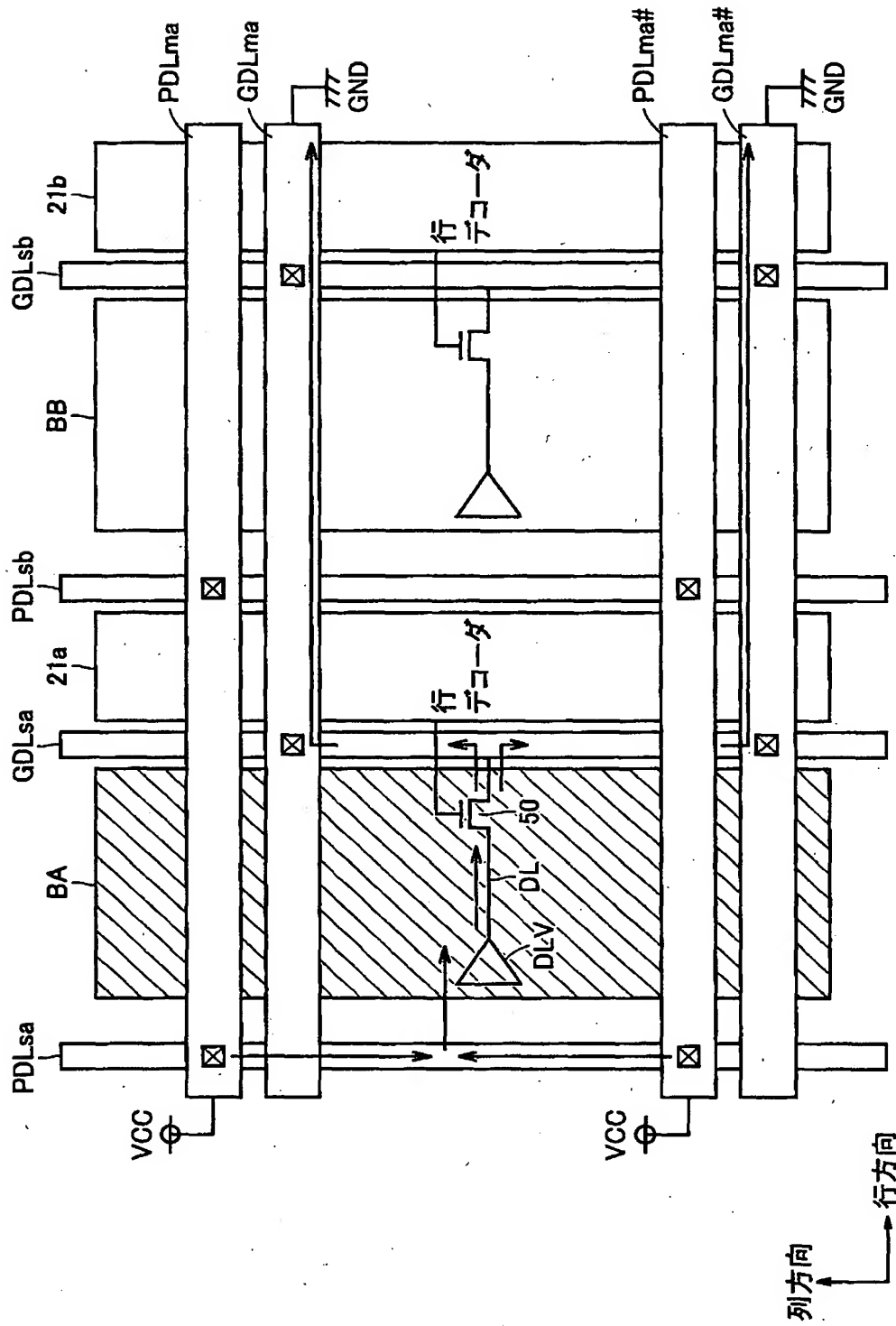
【図13】



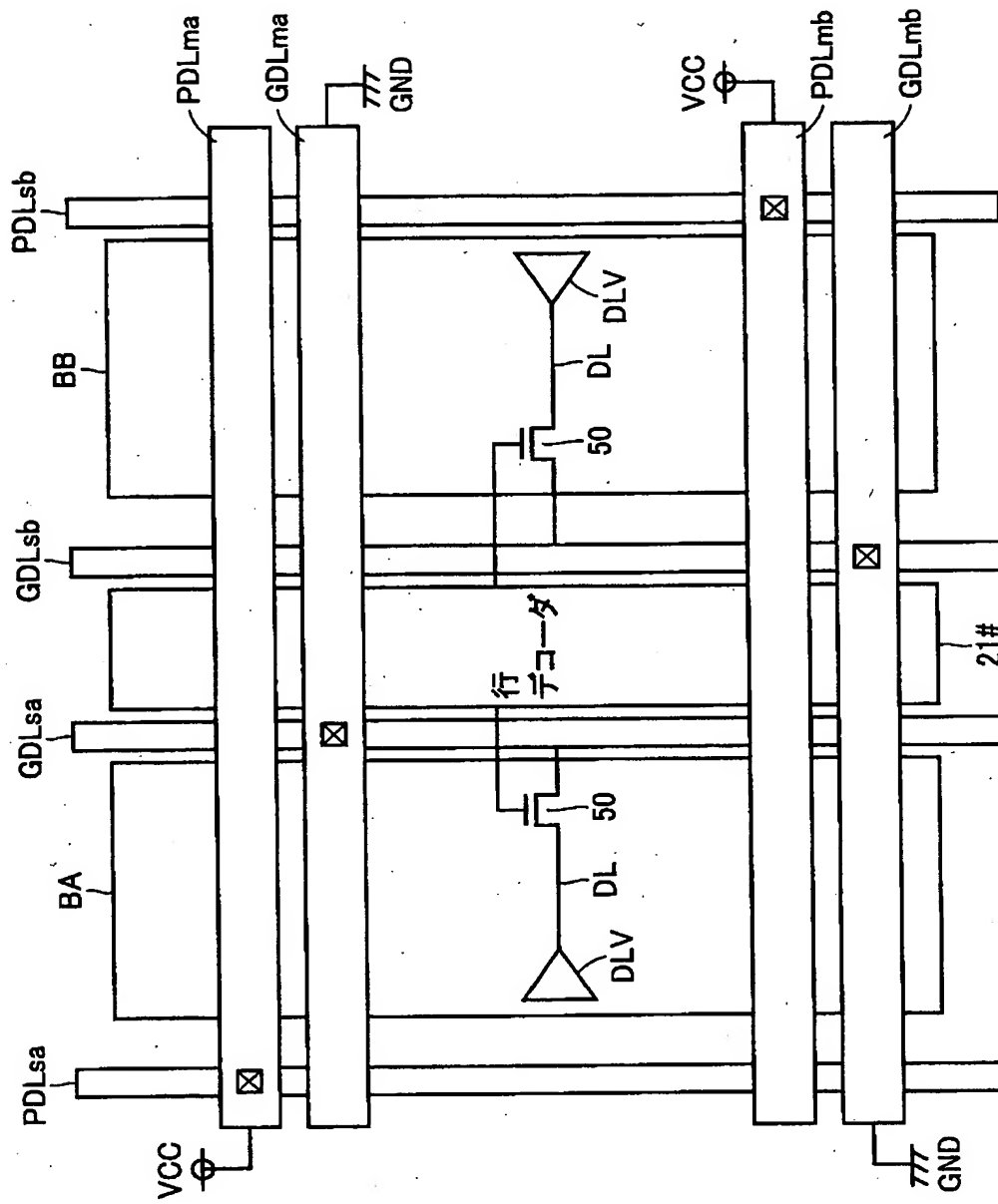
【図 14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 電源配線および接地配線からの磁気ノイズの影響を抑制することにより安定的に動作する薄膜磁性体記憶装置を提供する

【解決手段】 メモリ領域 5 5 a および 5 5 b の一方側（第 1 の方向）から電源を供給するために設けられたメイン電源配線 P L m a およびメイン接地配線 G L m b と、メモリ領域 5 5 a および 5 5 b の他方側（第 1 の方向と反対方向の第 2 の方向）から電源を供給するために設けられたメイン電源配線 P L m b およびメイン接地配線 G L m a とが列方向に沿って設けられる。一方側に配置されたビット線ドライバは、一方側からの電源供給を受け、他方側に配置されたビット線ドライバは、他方側からの電源供給を受ける。これにより、選択されたメモリ領域上の領域部分の電源供給線に電流経路は形成されない。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社